

Family list

10 application(s) for: JP2001005426 (A)

Sorting criteria: Priority Date Inventor Applicant Ecla

**1 Electroluminescent display device and electronic device**

**Inventor:** URUU OYAMA [JP]

**Applicant:** SEMICONDUCTOR ENERGY LAB [JP]

**EC:** G09G3/20G6F; G09G3/32A14; (+6)

**IPC:** G02F1/136; G09F9/30; G09G3/20; (+20)

**Publication** CN1279519 (A) - 2001-01-10

**Priority Date:** 1999-06-23

**info:** CN100392872 (C) - 2008-06-04

**2 EL display device and electronic device**

**Inventor:** KOYAMA JUN [JP]

**Applicant:** SEMICONDUCTOR ENERGY LAB [JP]

**EC:** G09G3/20G6F; G09G3/32A14; (+6)

**IPC:** G02F1/136; G09F9/30; G09G3/20; (+19)

**Publication** CN101262007 (A) - 2008-09-10

**Priority Date:** 1999-06-23

**info:**

**3 Active matrix EL display device**

**Inventor:** KOYAMA JUN [JP]

**Applicant:** SEMICONDUCTOR ENERGY LAB [JP]

**EC:** G09G3/20G6F; G09G3/32A14; (+6)

**IPC:** G02F1/136; G09F9/30; G09G3/20; (+18)

**Publication** EP1063630 (A2) - 2000-12-27

**Priority Date:** 1999-06-23

**info:** EP1063630 (A3) - 2002-07-10

**4 EL DISPLAY DEVICE AND ELECTRONIC DEVICE**

**Inventor:** KOYAMA JUN

**Applicant:** SEMICONDUCTOR ENERGY LAB

**EC:** G09G3/20G6F; G09G3/32A14; (+6)

**IPC:** G02F1/136; G09F9/30; G09G3/20; (+21)

**Publication** JP2001005426 (A) - 2001-01-12

**Priority Date:** 1999-06-23

**info:**

**5 EL DISPLAY DEVICE AND ELECTRONIC DEVICE**

**Inventor:** KOYAMA JUN

**Applicant:** SEMICONDUCTOR ENERGY LAB

**EC:** G09G3/20G6F; G09G3/32A14; (+6)

**IPC:** G02F1/136; G09F9/30; G09G3/20; (+18)

**Publication** KR20010021025 (A) - 2001-03-15

**Priority Date:** 1999-06-23

**info:** KR100810917 (B1) - 2008-03-10

**6 EL display device and electronic device**

**Inventor:** KOYAMA JUN [JP]

**Applicant:** SEMICONDUCTOR ENERGY LAB [JP]

**EC:** G09G3/20G6F; G09G3/32A14; (+6)

**IPC:** G02F1/136; G09F9/30; G09G3/20; (+18)

**Publication** TW457729 (B) - 2001-10-01

**Priority Date:** 1999-06-23

**info:**

**7 EL display device and electronic device**

**Inventor:** KOYAMA JUN [JP]

**Applicant:** SEMICONDUCTOR ENERGY LAB [JP]

**EC:** G09G3/20G6F; G09G3/32A14; (+6)

**IPC:** G02F1/136; G09F9/30; G09G3/20; (+19)

**Publication** US6774574 (B1) - 2004-08-10

**Priority Date:** 1999-06-23

**info:**

**8 EL display device and electronic device**

**Inventor:** KOYAMA JUN [JP]

**Applicant:** SEMICONDUCTOR ENERGY LAB [JP]

**EC:** G09G3/20G6F; G09G3/32A14; (+6)

**IPC:** G02F1/136; G09F9/30; G09G3/20; (+18)

**Publication** US2002153844 (A1) - 2002-10-24

**Priority Date:** 1999-06-23

**info:** US6777887 (B2) - 2004-08-17

**9 EL display device and electronic device**

**Inventor:** KOYAMA JUN [JP]

**Applicant:** SEMICONDUCTOR ENERGY LAB [JP]

**EC:** G09G3/20G6F; G09G3/32A14; (+6)

**IPC:** G02F1/136; G09F9/30; G09G3/20; (+18)

Publication US2004207331 (A1) - 2004-10-21  
info: US7358531 (B2) - 2008-04-15

Priority Date: 1999-06-23

**10 EL display device and electronic device**

Inventor: KOYAMA JUN [JP]

Applicant: SEMICONDUCTOR ENERGY LAB  
[JP]

EC: G09G3/20G6F; G09G3/32A14; (+6)

IPC: G02F1/136; G09F9/30; G09G3/20; (+17)

Publication US2008265786 (A1) - 2008-10-30  
info:

Priority Date: 1999-06-23

Data supplied from the **espacenet** database — Worldwide

# EL DISPLAY DEVICE AND ELECTRONIC DEVICE

Patent number: JP2001005426 (A)  
 Publication date: 2001-01-12  
 Inventor(s): KOYAMA JUN +  
 Applicant(s): SEMICONDUCTOR ENERGY LAB +  
 Classification:  
 - International:

Also published as:

EP1063630 (A2)  
 EP1063630 (A3)  
 US2004207331 (A1)  
 US7358531 (B2)  
 US6774574 (B1)

more >>

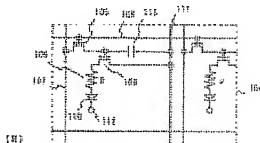
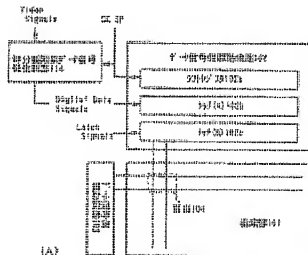
G02F1/136; G09F9/30; G09G3/20; G09G3/30; G09G3/32;  
 H01L27/15; H01L27/32; H01L51/50; H05B33/12;  
 H05B33/14; G02F1/13; G09F9/30; G09G3/20; G09G3/30;  
 G09G3/32; H01L27/15; H01L27/28; H01L51/50;  
 H05B33/12; H05B33/14; (IPC1-7): G09F9/30; G09G3/20;  
 G09G3/30; H05B33/14  
 - european: G09G3/20G6F; G09G3/32A14; G09G3/32A14V;  
 G09G3/32A8C; G09G3/32A8V; H01L21/77T; H01L27/15B2;  
 H01L27/32M2

Application number: JP19990176521 19990623

Priority number(s): JP19990176521 19990623

## Abstract of JP 2001005426 (A)

**PROBLEM TO BE SOLVED:** To provide a clear multilevel color displayable EL display device and an electronic device with it. **SOLUTION:** A current supplied to an EL element 110 is controlled by providing a resistor 109 of a resistance value higher than on-resistance of a current controlling TFT 108 between the current controlling TFT 108 provided on a pixel 104 and the EL element 110 both provided in a pixel 104. Then, a gradation display is performed by a time division drive system controlling luminescence and non-luminescence of the EL element with the time, and the effect due to the characteristic dispersion of the current controlling TFT 108 is prevented.



Data supplied from the **espacenet** database — Worldwide

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テラコード (参考)
G 0 9 G 3/30		G 0 9 G 3/30	K 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 C 5 C 0 9 4
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B
	6 4 1		6 4 1 E

審査請求 未請求 請求項の数16 O L (全 29 頁) 最終頁に続く

(21) 出願番号 特願平11-176521

(22) 出願日 平成11年6月23日 (1999. 6. 23)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

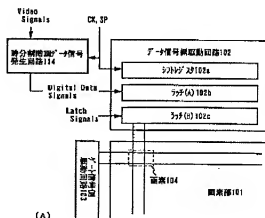
最終頁に続く

(54) 【発明の名称】 E L表示装置及び電子装置

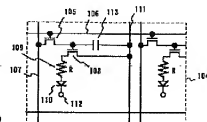
(57) 【要約】

【課題】 鮮明な多階調カラー表示の可能な E L 表示装置及びそれを具備する電子装置を提供する。

【解決手段】 画素104に設けられた電流制御用 T F T 108 と E L 素子110との間に、電流制御用 T F T 108 のオン抵抗よりも抵抗値の高い抵抗体109を設けることで E L 素子110に供給される電流を制御する。そして、E L 素子110の発光、非発光を時間で制御する時分割駆動方式により階調表示を行い、電流制御用 T F T 108 の特性バラツキによる影響を防ぐ。



(A)



(B)

## 【特許請求の範囲】

【請求項1】 基板上にTFTで形成された画素部、データ信号側駆動回路及びゲート信号側駆動回路を有し、前記画素部において時分割駆動により画像の階調表示が行なわれるEL表示装置であって、

前記画素部に設けられた電流制御用TFTとEL素子との間には、抵抗体が設けられていることを特徴とするEL表示装置。

【請求項2】 基板上にTFTで形成された画素部、データ信号側駆動回路及びゲート信号側駆動回路を有し、前記画素部において時分割駆動により画像の階調表示が行なわれるEL表示装置であって、前記画素部に設けられた電流制御用TFTとEL素子との間には、該電流制御用TFTのオン抵抗よりも高い抵抗値を示す抵抗体が設けられていることを特徴とするEL表示装置。

【請求項3】 基板上にTFTで形成された画素部、データ信号側駆動回路及びゲート信号側駆動回路を有し、前記画素部において時分割駆動により画像の階調表示が行なわれるEL表示装置であって、前記画素部に設けられた電流制御用TFTとEL素子との間には、該電流制御用TFTの活性層と一体化した抵抗体が設けられていることを特徴とするEL表示装置。

【請求項4】 請求項1乃至請求項3において、前記データ信号側駆動回路又は前記ゲート信号側駆動回路に入力されるデータ信号は、

1フレームを $n$ ビット ( $n$ は2以上の整数)の階調に対応した複数のサブフレーム ( $SF1$ 、 $SF2$ 、 $SF3 \dots SF(n-1)$ 、 $SF(n)$ と表す)に分割する第1の手段と、前記複数のサブフレームにおいて、アドレス期間

( $T_a$ )及びサステイン期間( $T_s$ ;但し、 $SF1$ 、 $SF2$ 、 $SF3 \dots SF(n-1)$ 、 $SF(n)$ に対応するサステイン期間を各々 $Ts1$ 、 $Ts2$ 、 $Ts3 \dots Ts(n-1)$ 、 $Ts(n)$ と表す)を選択する第2の手段と、

前記複数のサブフレームにおいて、前記サステイン期間を $Ts1 : Ts2 : Ts3 : \dots : Ts(n-1) : Ts(n) = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する第3の手段と、

を経て形成されることを特徴とするEL表示装置。

【請求項5】 請求項4において、前記第1の手段、第2の手段及び第3の手段は前記基板上に実装されたICチップに含まれることを特徴とするEL表示装置。

【請求項6】 請求項1乃至請求項3において、前記TFTの活性層は{110}配向に対応する電子線回折像を示すシリコン膜で形成されていることを特徴とするEL表示装置。

【請求項7】 請求項6において、前記シリコン膜は結晶粒界を有することを特徴とするEL表示装置。

【請求項8】 請求項6において、前記電子線回折像の回折斑点は電子線の照射点を中心とした同心円上に広がり

を有することを特徴とするEL表示装置。

【請求項9】 時分割駆動により画像の階調表示が行われるEL表示装置を含む電子装置であって、前記EL表示装置はTFTで形成された画素部、データ信号側駆動回路及びゲート信号側駆動回路を有し、前記画素部に設けられた電流制御用TFTとEL素子との間には、抵抗体が設けられていることを特徴とする電子装置。

【請求項10】 時分割駆動により画像の階調表示が行われるEL表示装置を含む電子装置であって、前記EL表示装置はTFTで形成された画素部、データ信号側駆動回路及びゲート信号側駆動回路を有し、前記画素部に設けられた電流制御用TFTとEL素子との間には、該電流制御用TFTのオン抵抗よりも高い抵抗値を示す抵抗体が設けられていることを特徴とする電子装置。

【請求項11】 時分割駆動により画像の階調表示が行われるEL表示装置を含む電子装置であって、前記EL表示装置はTFTで形成された画素部、データ信号側駆動回路及びゲート信号側駆動回路を有し、前記画素部に設けられた電流制御用TFTとEL素子との間には、該電流制御用TFTの活性層と一体化した抵抗体が設けられていることを特徴とする電子装置。

【請求項12】 請求項9乃至請求項11において、前記データ信号側駆動回路又は前記ゲート信号側駆動回路に入力されるデータ信号は、

1フレームを $n$ ビット ( $n$ は2以上の整数)の階調に対応した複数のサブフレーム ( $SF1$ 、 $SF2$ 、 $SF3 \dots SF(n-1)$ 、 $SF(n)$ と表す)に分割する第1の手段と、前記複数のサブフレームにおいて、アドレス期間

( $T_a$ )及びサステイン期間( $T_s$ ;但し、 $SF1$ 、 $SF2$ 、 $SF3 \dots SF(n-1)$ 、 $SF(n)$ に対応するサステイン期間を各々 $Ts1$ 、 $Ts2$ 、 $Ts3 \dots Ts(n-1)$ 、 $Ts(n)$ と表す)を選択する第2の手段と、

前記複数のサブフレームにおいて、前記サステイン期間を $Ts1 : Ts2 : Ts3 : \dots : Ts(n-1) : Ts(n) = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する第3の手段と、

を経て形成されることを特徴とする電子装置。

【請求項13】 請求項12において、前記第1の手段、第2の手段及び第3の手段は前記基板上に実装されたICチップに含まれることを特徴とする電子装置。

【請求項14】 請求項9乃至請求項11において、前記TFTの活性層は{110}配向に対応する電子線回折像を示すシリコン膜で形成されていることを特徴とする電子装置。

【請求項15】 請求項14において、前記シリコン膜は結晶粒界を有することを特徴とする電子装置。

【請求項16】 請求項14において、前記電子線回折像の回折斑点は電子線の照射点を中心とした同心円上に広

がりを有することを特徴とする電子装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本願発明は半導体素子（半導体薄膜を用いた素子）を基板上に作り込んで形成されたＥＬ（エレクトロルミネッセンス）表示装置及びそのＥＬ表示装置を表示ディスプレイとして有する電子装置（電子デバイス）に関する。

【０００２】

【従来の技術】近年、基板上にＴＦＴを形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いたＴＦＴは、従来のアモルファスシリコン膜を用いたＴＦＴよりも電界効果移動度（モビリティという）が高いので、高速動作が可能である。そのため、従来の基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【０００３】このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スルーボットの低減など、様々な利点が得られるとして注目されている。

【０００４】従来、アクティブマトリクス型ＥＬ表示装置の画素構造は図３に示すようなものが一般的であった。図３において、３０１はスイッチング素子として機能するＴＦＴ（以下、スイッチング用ＴＦＴという）、３０２はＥＬ素子３０３に供給する電流を制御するための素子（電流制御素子）として機能するＴＦＴ（以下、電流制御用ＴＦＴという）、３０４はコンデンサ（保持容量）である。スイッチング用ＴＦＴ３０１はゲート配線３０５及びソース配線（データ配線）３０６に接続されている。また、電流制御用ＴＦＴ３０２はドレインはＥＬ素子３０３に、ソースは電源供給線３０７に接続されている。

【０００５】ゲート配線３０５が選択されるとスイッチング用ＴＦＴ３０１のゲートが開き、ソース配線３０６のデータ信号がコンデンサ３０４に蓄積され、電流制御用ＴＦＴ３０２のゲートが開く。そして、スイッチング用ＴＦＴ３０１のゲートが閉じた後、コンデンサ３０４に蓄積された電荷によって電流制御用ＴＦＴ３０２のゲートは開いたままとなり、その間、ＥＬ素子３０３が発光する。このＥＬ素子３０３の発光量は流れる電流量で変化する。

【０００６】このとき、ＥＬ素子３０３に供給される電流量は電流制御用ＴＦＴ３０２のゲート電圧によって制御される。その様子を図４に示す。

【０００７】図４（Ａ）は電流制御用ＴＦＴのトランジスタ特性を示すグラフであり、４０１は $I_d-V_g$ 特性（又は $I_d-V_g$ 曲線）と呼ばれている。ここで $I_d$ は

ドレイン電流であり、 $V_g$ はゲート電圧である。このグラフにより任意のゲート電圧に対して流れる電流量を知ることができる。

【０００８】通常、ＥＬ素子を駆動するにあたって、上記 $I_d-V_g$ 特性の点線４０２で示した領域を用いる。４０２で囲んだ領域の拡大図を図４（Ｂ）に示す。

【０００９】図４（Ｂ）において、斜線で示す領域はサブスレッショルド領域と呼ばれている。実際にはしきい値電圧（ $V_{th}$ ）近傍又はそれ以下のゲート電圧である領域を指し、この領域ではゲート電圧の変化に対して指数関数的にドレイン電流が変化する。この領域を使ってゲート電圧による電流制御を行う。

【００１０】スイッチング用ＴＦＴ３０１が開いて画素内に入力されたデータ信号は、まずコンデンサ３０４に蓄積され、そのデータ信号がそのまま電流制御用ＴＦＴ３０２のゲート電圧となる。このとき、図４（Ａ）に示した $I_d-V_g$ 特性に従ってゲート電圧に対してドレイン電流が１対１で決まる。即ち、データ信号に対応して所定の電流がＥＬ素子３０３を流れ、その電流量に対応した発光量で前記ＥＬ素子３０３が発光する。

【００１１】以上のように、データ信号によってＥＬ素子の発光量が制御され、その発光量の制御によって階調表示がなされる。この方式はいわゆるアナログ階調と呼ばれる方式であり、信号の振幅の変化で階調表示が行われる。

【００１２】しかしながら、上記アナログ階調方式はＴＦＴの特性バラツキに非常に弱いという欠点がある。例えばスイッチング用ＴＦＴの $I_d-V_g$ 特性が同じ階調を表示する隣接画素のスイッチング用ＴＦＴと異なる場合（全体的にプラス又はマイナス側へシフトした場合）を想定する。

【００１３】その場合、各スイッチング用ＴＦＴのドレイン電流はバラツキの程度にも異なるものとなり、各画素の電流制御用ＴＦＴには異なるゲート電圧がかかることになる。即ち、各ＥＬ素子に対して異なる電流が流れ、結果として異なる発光量となり、同じ階調表示を行えなくなる。

【００１４】また、仮に各画素の電流制御用ＴＦＴに等しいゲート電圧がかかったとしても、電流制御用ＴＦＴの $I_d-V_g$ 特性にバラツキがあれば、同じドレイン電流を出力することはできない。さらに、図４（Ａ）からも明らかなようにゲート電圧の変化に対して指数関数的にドレイン電流が変化するような領域を使っているため、 $I_d-V_g$ 特性が僅かでもずれば、等しいゲート電圧がかかったも出力される電流量は大きく異なるという事態が生じうる。こうなってしまうとＥＬ素子の発光量が隣接画素で大きく異なってしまう。

【００１５】実際には、スイッチング用ＴＦＴと電流制御用ＴＦＴとの、両者のバラツキの相乗効果となるので条件的にはさらに厳しい。このように、アナログ階調方

式はTFTの特性バラツキに対して極めて敏感であり、その点が従来のアクティブマトリクス型EL表示装置の多色カラー化における障害となっていた。

【0016】

【発明が解決しようとする課題】本願発明は上記問題点を備えてなされたものであり、鮮明な多階調カラー表示の可能なアクティブマトリクス型EL表示装置を提供することを課題とする。そして、そのようなアクティブマトリクス型EL表示装置を表示用ディスプレイとして具備する高性能な電子装置（電子デバイス）を提供することを課題とする。

【0017】

【課題を解決するための手段】本出願人はアナログ階調方式の問題はEL素子に流れる電流制御用TFTの特性バラツキ、特に電流制御用TFTのオン抵抗のバラツキに起因することを見いだした。なお、オン抵抗とはTFTのドレイン電圧をその時に流れているドレイン電流で割った値である。

【0018】即ち、電流制御用TFTのオン抵抗がTFT間でばらつくために同一条件でも異なる電流（ドレイン電流）が流れてしまい、その結果、所望の階調が得られないという不具合が生じるのである。

【0019】そこで本願発明では、電流制御用TFTのドレインとEL素子との間に抵抗体（R）を直列に接続し、その抵抗体によって電流制御用TFTからEL素子へ供給される電流量を制御することを目的とする。このためには、電流制御用TFTのオン抵抗よりも十分に抵抗の高い抵抗体を設ける必要がある。抵抗値としては $1\text{ k}\Omega \sim 50\text{ M}\Omega$ （好ましくは $10\text{ k}\Omega \sim 10\text{ M}\Omega$ 、さらに好ましくは $50\text{ k}\Omega \sim 1\text{ M}\Omega$ ）の範囲から選択すれば良い。

【0020】また、本願発明を実施する場合、EL素子に流れる電流量が抵抗体（R）の抵抗値で決まり、供給される電流は常に一定となる。即ち、従来のような電流値を制御して階調表示を行うアナログ階調方式は使えない。そこで本願発明では電流制御用TFTを単に電流供給用のスイッチング素子として用いた時間分割方式の階調表示（以下、時分割階調という）を用いることを特徴としている。

【0021】具体的に以下のようにして時分割階調表示を行う。ここでは8ビットデジタル駆動方式により256階調（1677万色）のフルカラー表示を行う場合について説明する。

【0022】まず、画像1フレームを8つのサブフレームに分割する。なお、表示領域の全画素にデータを入力する1周期を1フレームと呼び、通常のELディスプレイでは駆振周波数は60Hz、即ち1秒間に60フレームが形成される。1秒間のフレーム数がこれ以下になると視覚的にフリッカ等の画像のちらつきが目立ち始める。なお、1フレームをさらに複数に分割したフレーム

をサブフレームと呼ぶ。

【0023】1つのサブフレームはアドレス期間（Ts1）とサステイン期間（Ts）とに分けられる。アドレス期間とは、1サブフレーム期間中、全画素にデータを入力するのに要する時間全体であり、サステイン期間（点灯期間と言っても良い）とは、EL素子を発光させている期間を示している。（図10）

【0024】ここで1つ目のサブフレームをSF1と呼び、以下2つ目のサブフレームから8つ目のサブフレームまでをSF2～SF8と呼ぶ。また、アドレス期間（Ts1）はSF1～SF8まで一定である。一方、SF1～SF8のサステイン期間（Ts）をそれぞれTs1～Ts8とする。

【0025】この時、Ts1：Ts2：Ts3：Ts4：Ts5：Ts6：Ts7：Ts8＝1：1/2：1/4：1/8：1/16：1/32：1/64：1/128となるようにサステイン期間を設定する。但し、SF1～SF8が出現させる順序はどのようにしても良い。このサステイン期間の組み合わせで256階調のうち所望の階調表示を行うことができる。

【0026】まず、画素が有するEL素子の対向電極（TFTに接続されていない側の電極を指す。通常は陰極となる。）に電圧を加えない（選択しない）状態としておき、EL素子を発光させずに各画素にデータ信号を入力していく。この期間がアドレス期間となる。そして、全ての画素にデータが入力されてアドレス期間が終了したら、対向電極に電圧を加えて（選択して）一斉にEL素子を発光させる。この期間がサステイン期間となる。また、発光させる（画素を点灯させる）期間はTs1～Ts8までのいずれかの期間である。ここではTs8の期間、所定の画素を点灯させたとする。

【0027】次に、再びアドレス期間に入り、全画素にデータ信号を入力したらサステイン期間に入る。このときはTs1～Ts7のいずれかの期間がサステイン期間となる。ここではTs7の期間、所定の画素を点灯させたとする。

【0028】以下、残りの6つのサブフレームについて同様の動作を繰り返し、順次Ts6、Ts5…Ts1とサステイン期間を設定し、それぞれのサブフレームで所定の画素を点灯させたとする。

【0029】8つのサブフレームが出現したら1フレームを終えたことになる。このとき、サステイン期間の積算によってその画素の階調を制御する。例えば、Ts1とTs2を選択した場合には全灯を100%としたうちの75%の輝度を表現でき、Ts3とTs5とTs8を選択した場合には16%の輝度を表現できる。

【0030】なお、以上は256階調の場合について説明したが、他の階調表示を行うことも可能である。

【0031】nビット（nは2以上の整数）の階調（2<sup>n</sup>階調）の表示を行う場合には、まず1フレームをnビ

ットの階調に対応させて $n$ 枚のサブフレーム（ $SF1$ 、 $SF2$ 、 $SF3 \dots SF(n-1)$ 、 $SF(n)$ と表す）に分割する。階調が多くなるにつれて1フレームの分割数も増え、駆動回路を高い周波数で駆動しなければならない。

【0032】さらに、これら $n$ 枚の各サブフレームはアドレス期間（ $Ta$ ）及びサステイン期間（ $Ts$ ）に分離される。即ち、全ての $E$ 素子に共通な対向電極に対して電圧を加えるか加えないかを選択することによってアドレス期間とサステイン期間を選択する。

【0033】そして、 $n$ 枚の各サブフレームのサステイン期間（但し、 $SF1$ 、 $SF2$ 、 $SF3 \dots SF(n-1)$ 、 $SF(n)$ に対応するサステイン期間を各々 $Ts1$ 、 $Ts2$ 、 $Ts3 \dots Ts(n-1)$ 、 $Ts(n)$ と表す）を $Ts1 : Ts2 : Ts3 : \dots : Ts(n-1) : Ts(n) = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように処理する。

【0034】この状態で、任意の1サブフレームでは順次画素が選択され（厳密には各画素のスイッチング用TFTが選択され）、電流制御用TFTのゲート電極に所定のゲート電圧（データ信号に対応する）が加わる。このとき、電流制御用TFTが導通状態になるようなデータ信号が入力された画素の $E$ 素子は、アドレス期間終了後、そのサブフレームに割り当てられたサステイン期間だけ発光する、即ち所定の画素が点灯する。

【0035】この動作を $n$ 枚のサブフレーム全てにおいて繰り返す、そのサステイン期間の積算によって各画素の階調が制御される。従って、任意の一面素に注目すると、その画素が各サブフレームでどれだけの期間点灯したか（どれだけのサステイン期間を経由したか）によって、その一面素の階調が制御される。

【0036】以上のように、アクティブマトリクス型 $E$ 表示装置において、電流制御用TFTのドレインと $E$ 素子との間に抵抗体（ $R$ ）を設け、 $E$ 素子を通る電流を常に一定とした上で、時分割階調表示を行う点が本願発明の特徴である。この構成によりTFTの特性バラツキによる階調不良を防ぐことができる。

【0037】

【発明の実施の形態】まず、本願発明のアクティブマトリクス型 $E$ 表示装置の回路構成を図1（A）に示す。図1（A）のアクティブマトリクス型 $E$ 表示装置は、基板上に形成されたTFTによって画素部101、画素部の周辺に配置されたデータ信号側駆動回路102及びゲート信号側駆動回路103が形成される。なお、データ側信号側駆動回路とゲート信号側駆動回路はどちらも画素部を挟んで1対で設けられて構わない。

【0038】データ信号側駆動回路102は基本的にシフトレジスタ102a、ラッチ（A）102b、ラッチ（B）102cを含む。また、シフトレジスタ102aにはクロックパルス（ $CK$ ）及びスタートパルス（ $SP$ ）が入力され、ラッチ（A）102bにはデジタルデータ信号（Digital Data Signals）が入力され、ラッチ

（B）102cにはラッチ信号（Latch Signals）が入力される。

【0039】本願発明では画素部に入力されるデータ信号がデジタル信号であり、また液晶表示装置と異なり電圧階調表示ではないので、「0」または「1」の情報を有するデジタルデータ信号がそのまま画素部へと入力される。

【0040】画素部101にはマトリクス状に複数の画素104が配列される。画素104の拡大図を図1

（B）に示す。図1（B）において、105はスイッチング用TFTであり、ゲート信号を入力するゲート配線106とデータ信号を入力するデータ配線（ソース配線ともいう）107に接続されている。

【0041】また、108は電流制御用TFTであり、そのゲートはスイッチング用TFT105のドレインに接続される。そして、電流制御用TFT108のドレインは抵抗体109を介して $E$ 素子110に接続され、ソースは電源供給線111に接続される。 $E$ 素子110は電流制御用TFT108に接続された陽極（画素電極）と、 $E$ 層を挟んで陽極に対向して設けられた陰極（対向電極）とでなり、陰極は所定の電源112に接続されている。

【0042】なお、抵抗体109は電流制御用TFT108のオン抵抗よりも十分に大きい抵抗値を示す素子であれば良いため構造等に限定はない。抵抗値の高い半導体層を用いた形成が容易であり好ましい。

【0043】また、スイッチング用TFT105が非選択状態（オフ状態）にある時、電流制御用TFT108のゲート電圧を保持するためにコンデンサ113が設けられる。このコンデンサ113はスイッチング用TFT105のドレインと電源供給線111とに接続されている。

【0044】以上のような画素部に入力されるデジタルデータ信号は、時分割階調データ信号発生回路114にて形成される。この回路ではアナログ信号又はデジタル信号号であるビデオ信号（画像情報を含む信号）を、時分割階調を行うためのデジタルデータ信号に変換すると共に、時分割階調表示を行うために必要なタイミングパルス等が発生させる回路である。

【0045】典型的には、時分割階調データ信号発生回路114には、1フレームを $n$ ビット（ $n$ は2以上の整数）の階調に対応した複数のサブフレームに分割する手段と、それら複数のサブフレームにおいてアドレス期間及びサステイン期間を選択する手段と、そのサステイン期間を $Ts1 : Ts2 : Ts3 : \dots : Ts(n-1) : Ts(n) = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する手段とが含まれる。

【0046】この時分割階調データ信号発生回路114は、本願発明の $E$ 表示装置の外部に設けられても良い。その場合、そこで形成されたデジタルデータ信号が



本願発明のE L表示装置に入力される構成となる。この場合、本願発明のE L表示装置をディスプレイとして有する電子装置は、本願発明のE L表示装置と時分割階調データ信号発生回路を別の部品として含むことになる。

【0047】また、時分割階調データ信号発生回路114をICチップなどの形で本願発明のE L表示装置に実装しても良い。その場合、そのICチップで形成されたデジタルデータ信号が本願発明のE L表示装置に入力される構成となる。この場合、本願発明のE L表示装置をディスプレイとして有する電子装置は、時分割階調データ信号発生回路を含むICチップを実装した本願発明のE L表示装置を部品として含むことになる。

【0048】また最終的には、時分割階調データ信号発生回路114を画素部104、データ信号制御回路102及びゲート信号側駆動回路と同一の基板上にTFTでもって形成しうる。この場合、E L表示装置に画像情報を含むビデオ信号を入力すれば全て基板上で処理することができる。勿論、この場合の時分割階調データ信号発生回路は本願発明で用いるポリシリコン膜を活性層とするTFTで形成することが望ましい。また、この場合、本願発明のE L表示装置をディスプレイとして有する電子装置は、時分割階調データ信号発生回路がE L表示装置自体に内蔵されており、電子装置の小型化を図ることが可能である。

【0049】次に、本願発明のアクティブマトリクス型E L表示装置について、断面構造の概略を図2に示す。

【0050】図2において、11は基板、12は下地となる絶縁膜（以下、下地膜という）である。基板11としては透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものでなくてはならない。

【0051】また、下地膜12は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜12としては、珪素（シリコン）を含む絶縁膜を用いても良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ $\text{SiO}_x\text{N}_y$ ； $x, y$ は任意の整数、で示される）など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

【0052】201はスイッチング用TFT、202は電流制御用TFTであり、どちらもnチャネル型TFTで形成されている。nチャネル型TFTの電界効果移動度はpチャネル型TFTの電界効果移動度よりも大きいため、動作速度が早く大電流を流しやすい。また、同じ電流量を流すにもTFTサイズはnチャネル型TFTの方が小さくできる。そのため、nチャネル型TFTを電流制御用TFTとして用いた方が画像表示部の有効発光面積が広がるので好ましい。

【0053】ただし、本願発明において、スイッチング用TFTと電流制御用TFTをnチャネル型TFTに限定する必要はなく、両方又はどちらか片方にpチャネル型TFTを用いることも可能である。

【0054】スイッチング用TFT201は、ソース領域13、ドレイン領域14、LDD領域15a～15d、分離領域16及びチャネル形成領域17a、17bを含む活性層、ゲート絶縁膜18、ゲート電極19a、19b、第1層間絶縁膜20、ソース配線21並びにドレイン配線22を有して形成される。なお、ゲート絶縁膜18又は第1層間絶縁膜20は基板上の全TFTに共通であっても良いし、回路又は素子に応じて異ならせても良い。

【0055】また、図2に示すスイッチング用TFT201はゲート電極19a、19bが電気的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。

【0056】マルチゲート構造はオフ電流を低減する上で極めて有効であり、スイッチング用TFTのオフ電流を十分に低くすれば、それだけ図1(B)に示すコンデンサ112に必要な容量を小さくすることができる。即ち、コンデンサ112の専有面積を小さくすることができるので、マルチゲート構造とすることはE L素子109の有効発光面積を広げる上で有効である。

【0057】さらに、スイッチング用TFT201においては、LDD領域15a～15dは、ゲート絶縁膜18を介してゲート電極17a、17bと重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、LDD領域15a～15dの長さ（幅）は0.5～3.5  $\mu\text{m}$ 、代表的には2.0～2.5  $\mu\text{m}$ とすれば良い。

【0058】なお、チャネル形成領域とLDD領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層であり、ゲート電圧が印加されない領域）を設けることによりオフ電流を下げる上でも好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域16（ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域）がオフ電流の低減に効果的である。

【0059】次に、電流制御用TFT202は、ソース領域26、ドレイン領域27、LDD領域28及びチャネル形成領域29を含む活性層、ゲート絶縁膜18、ゲート電極30、第1層間絶縁膜20、ソース配線31並びにドレイン配線32を有して形成される。但し、図2の場合はドレイン領域27とドレイン配線32との間に抵抗体33、接続領域34とが設けられている。

【0060】抵抗体33は図1(B)の抵抗体109に

相当し、接続領域34は抵抗体33とドレイン配線32とを電気的に接続するための高濃度不純物領域（ドレイン領域27と同じ組成の不純物領域）である。なお、ここでは電流制御用TFT202の活性層を延長させて同TFTと抵抗体33とを電気的に接続しているが、電気的な接続方法はこの構造に限定する必要はない。

【0061】なお、55で示される領域は抵抗体33を形成する際にドーピングマスクとして用いる薄膜（以下、マスク膜という）であり、ここではゲート電極30と同時に形成される。図2の場合、マスク膜55はゲート電極30と同一材料でなる導電膜だが電気的に孤立させておけば良い。

【0062】図2の構造とする場合、抵抗体33はLDD領域28と同一組成の不純物領域で形成される。そして、抵抗体の長さや断面積で抵抗値が決定される。何も不純物を添加しない真性な半導体層で形成することも可能であるが、抵抗値の制御が困難になるので、不純物を添加して制御する方が好ましい。

【0063】なお、上記のように抵抗体33を半導体層で形成する場合、EL素子から発した光が抵抗体に当たると抵抗値が変化する可能性がある。従って、図2のように遮光性を有するマスク膜を設けておいて遮光膜として用いることは、抵抗値の変化を防ぐという意味で有効である。

【0064】また、図1(B)に示すように、スイッチング用TFTのドレインは電流制御用TFTのゲートに接続されている。具体的には電流制御用TFT202のゲート電極30はスイッチング用TFT201のドレイン領域14とドレイン配線（接続配線とも言える）22を介して電気的に接続されている。なお、ゲート電極30はシングルゲート構造となっているが、マルチゲート構造であっても良い。また、ソース配線31は図1

(B)の電源供給線110に接続される。

【0065】電流制御用TFT202はEL素子に注入される電流量を制御するための素子であり、比較的多くの電流が流れる。そのため、チャネル幅(W)はスイッチング用TFTのチャネル幅より大きく設計することが好ましい。また、電流制御用TFT202に過剰な電流が流れないように、チャネル長(L)は長めに設計することが好ましい。望ましくは一画素あたり0.5〜2μm（好ましくは1〜1.5μm）となるようにする。

【0066】以上のことを踏まえると、図9に示すようにスイッチング用TFTのチャネル長をL1（但しL1=L1a+L1b）、チャネル幅をW1とし、電流制御用TFTのチャネル長をL2、チャネル幅をW2とした時、W1は0.1〜5μm（代表的には1〜3μm）、W2は0.5〜30μm（代表的には2〜10μm）とするのが好ましい。また、L1は0.2〜1.8μm（代表的には2〜1.5μm）、L2は0.1〜50μm（代表的には1〜20μm）とするのが好ましい。但し、以上の数

値に限定する必要はない。なお、図9に記載されたL3は抵抗体の長さ、W3は抵抗体の幅である。

【0067】また、図2に示したEL表示装置は、電流制御用TFT202において、ドレイン領域27とチャネル形成領域29との間にLDD領域28が設けられ、且つ、LDD領域28がゲート絶縁膜18を介してゲート電極30に重なっている領域と重なっていない領域とを有する点にも特徴がある。

【0068】電流制御用TFT202は、EL素子203を発光させるために比較的多くの電流を流すため、ホットキャリア注入による劣化対策を講じておくことが望ましい。また、黒色を表示する際は、電流制御用TFT202をオフ状態にしておくが、その際、オフ電流が高いとききれいな黒色表示ができなくなり、コントラストの低下等を招く。従って、オフ電流も抑える必要がある。

【0069】ホットキャリア注入による劣化に関しては、ゲート電極に対してLDD領域が重なった構造が非常に効果的であることが知られている。しかしながら、LDD領域全体を重ねてしまうとオフ電流が増加してしまうため、本出願人は上記構造に加えてゲート電極に重ならないLDD領域を直列に設けるという新規な構造によって、ホットキャリア対策とオフ電流対策とを同時に解決している。

【0070】この時、ゲート電極に重なったLDD領域の長さは0.1〜3μm（好ましくは0.3〜1.5μm）にすれば良い。長すぎると寄生容量が大きくなってしまい、短すぎるとホットキャリアを防止する効果が弱くなってしまふ。また、ゲート電極に重ならないLDD領域の長さは1.0〜3.5μm（好ましくは1.5〜2.0μm）にすれば良い。長すぎると十分な電流を流せなくなり、短すぎるとオフ電流を低減する効果が弱くなる。

【0071】また、上記構造においてゲート電極とLDD領域とが重なった領域では寄生容量が形成されてしまうため、ソース領域26とチャネル形成領域29との間には設けない方が好ましい。電流制御用TFTはキャリア（ここでは電子）の流れる方向が常に同一であるので、ドレイン領域側の方にLDD領域を設けておけば十分である。

【0072】また、流しうる電流量を多くするという観点から見れば、電流制御用TFT202の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは50〜100nm、さらに好ましくは60〜80nm）ことも有効である。逆に、スイッチング用TFT201の場合はオフ電流を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ましくは20〜50nm、さらに好ましくは25〜40nm）ことも有効である。

【0073】以上は画素内に設けられたTFTの構造について説明したが、このとき同時に駆動回路も形成され

る。図2には駆動回路を形成する基本単位となるCMOS回路が図示されている。

【0074】図2においては極力動作速度を落とさないようにしつつホットキャリア注入を低減させる構造を有するTFTをCMOS回路のnチャネル型TFT204として用いる。なお、ここでいう駆動回路としては、図1に示したデータ信号駆動回路102、ゲート信号駆動回路103を指す。勿論、他の論理回路（レベルシフタ、A/Dコンバータ、信号分割回路等）を形成することも可能である。

【0075】nチャネル型205の活性層は、ソース領域35、ドレイン領域36、LDD領域37及びチャネル形成領域38を含み、LDD領域37はゲート絶縁膜18を介してゲート電極39と重なっている。

【0076】ドレイン領域側のみにLDD領域を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TFT205はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、LDD領域37は完全にゲート電極に重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

【0077】また、CMOS回路のpチャネル型TFT205は、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくてもよい。従って活性層はソース領域40、ドレイン領域41及びチャネル形成領域42を含み、その上にはゲート絶縁膜18とゲート電極43が設けられる。勿論、nチャネル型TFT204と同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0078】また、nチャネル型TFT204及びpチャネル型TFT205はそれぞれ第1層間絶縁膜20に覆われ、ソース配線44、45が形成される。また、ドレイン配線46によって両者は電気的に接続される。

【0079】次に、47は第1パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすればよい。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。このパッシベーション膜47は形成されたTFTをアルカリ金属や水分から保護する役割をもつ。最終的にTFTの上方に設けられるE層にはナトリウム等のアルカリ金属が含まれている。即ち、第1パッシベーション膜47はこれらのアルカリ金属（可動イオン）をTFT側に侵入させない保護層としても働く。

【0080】また、48は第2層間絶縁膜であり、TFTを有することができる段差の平坦化を行う平坦化膜としての機能がある。第2層間絶縁膜48としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を用いると良い。これら

の有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。E層は凹凸に非常に敏感であるため、TFTによる段差は第2層間絶縁膜で殆ど吸収してしまうことが望ましい。また、ゲート配線やデータ配線とE素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は0.5～5μm（好ましくは1.5～2.5μm）が好ましい。

【0081】また、49は透明導電膜である画素電極（E素子の陽極）であり、第2層間絶縁膜48及び第1パッシベーション膜47にコンタクトホール（開孔）を開けた後、形成された開孔部において電流制御用TFT202のドレイン配線32に接続されるように形成される。なお、図2のように画素電極49とドレイン領域27とが直接接続されないようにしておく、E層のアルカリ金属が画素電極を経由して活性層へ侵入することを防ぐことができる。

【0082】画素電極49の上には酸化珪素膜、窒化酸化珪素膜または有機樹脂膜である第3層間絶縁膜50が0.3～1μmの厚さに設けられる。この第3層間絶縁膜50は画素電極49の上にエッチングにより開口部が設けられ、その開口部の縁はテーパー形状となるようにエッチングする。テーパーの角度は10～60°（好ましくは30～50°）とすると良い。

【0083】第3層間絶縁膜50の上にはE層51が設けられる。E層51は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率は良い。一般的には画素電極上に正孔注入層/正孔輸送層/発光層/電子輸送層の順に形成されるが、正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層のような構造でも良い。本願発明では公知のいずれの構造を用いても良いし、E層に対して蛍光性色素等をドーピングしても良い。

【0084】有機EL材料としては、例えば、以下の米国特許又は公開公報に開示された材料を用いることができる。米国特許第4,356,429号、米国特許第4,539,507号、米国特許第4,720,432号、米国特許第4,769,292号、米国特許第4,885,211号、米国特許第4,950,950号、米国特許第5,059,861号、米国特許第5,047,687号、米国特許第5,073,446号、米国特許第5,059,862号、米国特許第5,061,617号、米国特許第5,151,629号、米国特許第5,294,869号、米国特許第5,294,870号、特開平10-189525号公報、特開平8-241048号公報、特開平8-78159号公報。

【0085】なお、EL表示装置には大きく分けて四つのカラー化表示方式があり、R（赤）G（緑）B（青）に対応した三種類のE素子を形成する方式、白色発光

のE.L.素子とカラーフィルターを組み合わせた方式、青色又は青緑発光のE.L.素子と蛍光体(蛍光性の色変換層:CCM)とを組み合わせた方式、陰極(対向電極)に透明電極を使用してRGBに対応したE.L.素子を重ねる方式、がある。

【0086】図2の構造はRGBに対応した三種類のE.L.素子を形成する方式を用いた場合の例である。なお、図2には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。

【0087】本願発明は発光方式に関わらず実施することが可能であり、上記四つの全ての方式を本願発明に用いることができる。しかし、蛍光体はE.L.に比べて応答速度が遅く残光が問題とならうので、蛍光体を用いない方式が望ましい。また、発光輝度を落とす要因となるカラーフィルターもなるべく使わない方が望ましいと言える。

【0088】E.L.層51の上にはE.L.素子の陰極52が設けられる。陰極52としては、仕事関数の小さいマグネシウム(Mg)、リチウム(Li)若しくはカルシウム(Ca)を含む材料を用いる。好ましくはMgAg(MgとAgをMg:A g=1:1で混合した材料)でなる電極を用いられ、他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。

【0089】陰極52はE.L.層51を形成した後、大気解放しないで連続的に形成することが望ましい。陰極52とE.L.層51との界面状態はE.L.素子の発光効率に大きく影響するからである。なお、本明細書中では、画素電極(陽極)、E.L.層及び陰極で形成される発光素子をE.L.素子と呼ぶ。

【0090】E.L.層51と陰極52とでなる積層体は、各画素で個別に形成する必要があるが、E.L.層51は水分に極めて親いため、通常のフォトリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマCVD法等の気相法で選択的に形成することが好ましい。

【0091】なお、E.L.層を選択的に形成する方法として、インクジェット法、スクリーン印刷法又はスピコンコート法等を用いることも可能であるが、これらは現状では陰極の連続形成ができないので、上述の方法の方が好ましいと言える。

【0092】また、53は保護電極であり、陰極52を外部の水分等から保護すると同時に、各画素の陰極52を接続するための電極である。保護電極53としては、アルミニウム(Al)、銅(Cu)若しくは銀(Ag)を含む低抵抗な材料を用いることが好ましい。この保護電極53にはE.L.層の発熱を緩和する放熱効果も期待できる。また、上記E.L.層51、陰極52を形成した後、大気解放しないで連続的に保護電極53まで形成するこ

とも有効である。

【0093】また、54は第2パッシベーション膜であり、膜厚は10nm~1μm(好ましくは200~500nm)とすれば良い。第2パッシベーション膜54を設ける目的は、E.L.層51を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のようにE.L.層は熱に弱いので、なるべく低温(好ましくは室温から120℃までの温度範囲)で成膜するのが望ましい。従って、プラズマCVD法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法(スピコンコーティング法)が望ましい成膜方法と言える。

【0094】なお、図2に図示されたTFTは全て、本願発明で用いるポリシリコン膜を活性層として有することは言うまでもない。

【0095】本願発明の主旨は、TFTの活性層として結晶粒界の連続性が高く、結晶方位の揃った特異な結晶構造でなるポリシリコン膜を用いることで高い動作速度を示すTFTを形成し、それにより駆動回路一体型のアクティブマトリクス型E.L.表示装置の時分割階調表示が可能となるというものである。従って、図2のE.L.表示装置の構造に限定されるものではなく、図2の構造は本願発明を実施する上での好ましい形態の一つに過ぎない。

【0096】上記ポリシリコン膜を用いたTFTは、高い動作速度を示すが故にホットキャリア注入などの劣化も起こりやすい。そのため、図2のように、画素内において機能に応じて構造の異なるTFT(オフ電流の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFT)を形成することは、高い信頼性を有し、且つ、良好な画像表示が可能な(動作性能の高い)E.L.表示装置を作製する上で非常に有効である。

【0097】(実施例1)本発明の実施例について図5~図8を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路部のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位であるCMOS回路を図示することとする。

【0098】まず、図5(A)に示すように、下地膜(図せず)を表面に設けた基板501を用意する。本実施例では結晶化ガラス上に下地膜として100nm厚の窒化酸化珪素膜を200nm厚の窒化酸化珪素膜とを積層して用いる。この時、結晶化ガラス基板に接する方の窒素濃度を10~25wt%としておくこと。勿論、下地膜を設けずに石英基板上に直接素子を形成しても良い。

【0099】次に基板501の上に45nmの厚さのアモルファスシリコン膜502を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含

む)であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0100】ここから図5 (C)までの工程は本出願人による特開平10-247735号公報を完全に引用することができる。同公報ではNi等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

【0101】まず、開口部503a、503bを有する保護膜504を形成する。本実施例では150nm厚の酸化珪素膜を用いる。そして、保護膜504の上にスパインコート法によりニッケル(Ni)を含有する層(Ni含有層)505を形成する。このNi含有層の形成に関しては、前記公報を参考にすれば良い。

【0102】次に、図5 (B)に示すように、不活性雰囲気中で70℃14時間の加熱処理を加え、アモルファスシリコン膜502を結晶化する。この際、Niが接した領域(以下、Ni添加領域という)506a、506bを起点として、基板と概略平行に結晶化が進行し、棒状結晶が集まって並んだ結晶構造となるポリシリコン膜507が形成される。この時点において、電子線回折写真には図12 (A)に示したような[110]配向に対応する回折斑点が観察されるのが判っている。

【0103】次に、図5 (C)に示すように、保護膜505をそのままマスクとして15族に属する元素(好ましくはリン)をNi添加領域506a、506bに添加する。こうして高濃度にリンが添加される領域(以下、リン添加領域という)508a、508bが形成される。

【0104】次に、図5 (C)に示すように、不活性雰囲気中で600℃12時間の加熱処理を加える。この熱処理によりポリシリコン膜507中に存在するNiは移動し、最終的には殆ど全て矢印が示すようにリン添加領域508a、508bに捕獲されてしまう。これはリンによる金属元素(本実施例ではNi)のゲッタリング効果による現象であると考えられる。

【0105】この工程によりポリシリコン膜509中に残るNiの濃度はSIMS(質量二次イオン分析)による測定値で少なくとも $2 \times 10^{17}$ atoms/cm<sup>3</sup>まで低減される。Niは半導体にとってライフタイムキラーであるが、この程度まで低減されるとTFT特性には何ら悪影響を与えない。また、この濃度は殆ど現状のSIMS分析の測定限界であるので、実際にさらには低い濃度( $2 \times 10^{17}$ atoms/cm<sup>3</sup>以下)であると考えられる。

【0106】こうして触媒を用いた結晶化され、且つ、その触媒がTFTの動作に支障を与えないレベルにまで低減されたポリシリコン膜509が得られる。その後、このポリシリコン膜509のみを用いた活性層510～513をパターンニング工程により形成する。なお、活性層513の一部は後に抵抗体となる半導体層も含まれる。また、この時、後のパターンニングにおいてマスク合

わせを行うためのマーカーを、上記ポリシリコン膜を用いて形成すると良い。(図5 (D))

【0107】次に、図5 (E)に示すように、50nm厚の窒化酸化シリコン膜をプラズマCVD法により形成し、その上で酸化雰囲気中で950℃1時間の加熱処理を加え、熱酸化工程を行う。なお、酸化雰囲気は酸素雰囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。

【0108】この熱酸化工程では活性層と上記窒化酸化シリコン膜との界面で酸化が進行し、約15nm厚のポリシリコン膜が酸化されて約30nm厚の酸化シリコン膜が形成される。即ち、30nm厚の酸化シリコン膜と50nm厚の窒化酸化シリコン膜が積層されてなる80nm厚のゲート絶縁膜514が形成される。また、活性層510～513の膜厚はこの熱酸化工程によって30nmとなる。

【0109】次に、図6 (A)に示すように、レジストマスク515を形成し、ゲート絶縁膜514を介してp型を付与する不純物元素(以下、p型不純物元素という)を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程(チャネルドープ工程という)はTFTのしきい値電圧を制御するための工程である。

【0110】なお、本実施例ではジボラン(B<sub>2</sub>H<sub>6</sub>)を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程により $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms/cm<sup>3</sup>(代表的には $5 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm<sup>3</sup>)の濃度でボロンを含む不純物領域516～518が形成される。

【0111】次に、図6 (B)に示すように、レジストマスク519a、519bを形成し、ゲート絶縁膜514を介してn型を付与する不純物元素(以下、n型不純物元素という)を添加する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン(PH<sub>3</sub>)を質量分離しないでプラズマ励起したプラズマドープ法を用い、リンを $1 \times 10^{18}$ atoms/cm<sup>3</sup>の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0112】この工程により形成されるn型不純物領域520、521には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm<sup>3</sup>(代表的には $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm<sup>3</sup>)の濃度で含まれるようにドーズ量を調節する。

【0113】次に、図6 (C)に示すように、添加されたn型不純物元素及びp型不純物元素の活性化工程を行う。活性化手段を限定する必要はないが、ゲート絶縁膜514が設けられているので電熱炉を用いたファーン

アニール処理が好ましい。また、図6(A)の工程でチャネル形成領域となる部分の活性層/ゲート絶縁膜界面にダメージを与えてしまっている可能性があるため、なるべく高い温度で加熱処理を行うことが望ましい。

【0114】本実施例の場合には耐熱性の高い結晶化ガラスを用いているので、活性化工程を800℃1時間のファーストアニール処理で行う。なお、処理雰囲気を変化させた雰囲気にして熱酸化を行っても良いし、不活性雰囲気や加熱処理を行っても良い。

【0115】この工程によりn型不純物領域520、521の端部、即ち、n型不純物領域520、521の周囲に存在するn型不純物元素を添加していない領域(図6(A)の工程で形成されたp型不純物領域)との境界部(接合部)が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることの意味する。

【0116】次に、200~400nm厚の導電膜を形成し、パターンニングしてゲート電極522~525及び抵抗体を形成するためのマスク膜526を形成する。このゲート電極522~525の線幅によって各TFTのチャネル長の長さが決定する。また、マスク膜526の線幅によって抵抗体の抵抗値が決定する。

【0117】なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。具体的には、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タンガステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素でなる膜、または前記元素の窒化物でなる膜(代表的には窒化タンタル膜、窒化タンガステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜(代表的にはタンガステンシリサイド膜、チタンシリサイド膜)を用いることができる。勿論、単層で用いても積層して用いても良い。

【0118】本実施例では、50nm厚の窒化タンガステン(WN)膜と、350nm厚のタンガステン(W)膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてキセノン(Xe)、ネオン(Ne)等の不活性ガスを添加すると応力による膜がれを防止することができる。

【0119】またこの時、ゲート電極523、525はそれぞれn型不純物領域520、521の一部とゲート絶縁膜514を介して重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。なお、ゲート電極524、524は断面では二つに見えるが、実際は電気的に接続されている。

【0120】次に、図7(A)に示すように、ゲート電極522~525及びマスク膜526をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加

する。こうして形成される不純物領域527~533にはn型不純物領域520、521の1/2~1/10(代表的には1/3~1/4)の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm<sup>3</sup>(典型的には $3 \times 10^{17} \sim 3 \times 10^{18}$ atoms/cm<sup>3</sup>)の濃度が好ましい。

【0121】次に、図7(B)に示すように、ゲート電極等を覆う形でレジストマスク534a~534dを形成し、n型不純物元素(本実施例ではリン)を添加して高濃度でリンを含む不純物領域535~542を形成する。ここではモスフィン(PH<sub>3</sub>)を用いたイオンドーピング法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>(代表的には $2 \times 10^{20} \sim 5 \times 10^{21}$ atoms/cm<sup>3</sup>)となるように調節する。

【0122】この工程によってnチャネル型TFTのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFTは、図7(A)の工程で形成したn型不純物領域530~532の一部を残す。この残された領域が、図2におけるスイッチング用TFTのLDD領域15a~15dに対応する。

【0123】次に、図7(C)に示すように、レジストマスク534a~534cを除去し、新たにレジストマスク543を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度でボロンを含む不純物領域544、545を形成する。ここではジボロン(B<sub>2</sub>H<sub>6</sub>)を用いたイオンドーピング法により $3 \times 10^{20} \sim 3 \times 10^{21}$ atoms/cm<sup>3</sup>(代表的には $5 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>)濃度となるようにボロンを添加する。

【0124】なお、不純物領域544、545には既に $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。

【0125】次に、図7(D)に示すように、レジストマスク543を除去した後、第1層間絶縁膜546を形成する。第1層間絶縁膜546としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は400nm~1.5μmとすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

【0126】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化させる。活性化手段としては、ファーストアニール法が好ましい。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

【0127】さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い水素化処理を行う。この工程は熱的に助起された水素に

より半導体膜の不对結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0128】なお、水素化処理は第1層間絶縁膜546を形成する間に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成しても構わない。

【0129】次に、図8（A）に示すように、第1層間絶縁膜546に対してコンタクトホールを形成し、ソース配線547〜550と、ドレイン配線551〜553を形成する。なお、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

【0130】次に、50〜500nm（代表的には200〜300nm）の厚さで第1パッシベーション膜554を形成する。本実施例では第1パッシベーション膜554として300nm厚の窒化酸化シリコン膜を用いる。これは窒化シリコン膜で代用しても良い。

【0131】この時、窒化酸化シリコン膜の形成に先立って $H_2$ 、 $NH_3$ 等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜546に供給され、熱処理を行うことで、第1パッシベーション膜554の膜質が改善される。それと同時に、第1層間絶縁膜546に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0132】次に、図8（B）に示すように、有機樹脂からなる第2層間絶縁膜555を形成する。有機樹脂としてはポリイミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第2層間絶縁膜555はFTが形成する段差を平坦化する必要があるので、平坦性に優れたアクリル膜が好ましい。本実施例では、2.5 $\mu m$ の厚さでアクリル膜を形成する。

【0133】次に、第2層間絶縁膜555、第1パッシベーション膜554にドレイン配線553に達するコンタクトホールを形成し、画素電極（陽極）556を形成する。本実施例では酸化インジウム・スズ（ITO）膜を110nmの厚さに形成し、パターンニングを行って画素電極とする。また、酸化インジウムに2〜20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。この画素電極がE素子の陽極となる。

【0134】次に、珪素を含む絶縁膜（本実施例では酸化珪素膜）を500nmの厚さに形成し、画素電極556に対応する位置に開口部を形成して第3層間絶縁膜557を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることができる。開口部の側壁が十分になだらかないと段差に起因するE層の劣化が顕著な問題となってしまう。

う。

【0135】次に、E層558及び陰極（MgAg電極）559を、真空蒸着法を用いて大気解放しないで連続形成する。なお、E層558の膜厚は800〜200nm（典型的には100〜120nm）、陰極559の厚さは180〜300nm（典型的には200〜250nm）とすれば良い。

【0136】この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次E層及び陰極を形成する。但し、E層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にE層及び陰極を形成するのが好ましい。

【0137】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のE層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のE層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のE層及び陰極を選択的に形成する。なお、ここでは異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にE層及び陰極を形成するまで真空を破らずに処理することが好ましい。

【0138】なお、E層558としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をE層とすれば良い。また、本実施例ではE素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料であっても良い。

【0139】また、保護電極560としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極560はE層及び陰極を形成した時とは異なるマスクを用いて真空蒸着法で形成すれば良い。また、E層及び陰極を形成した後で大気解放しないで連続的に形成することが好ましい。

【0140】最後に、窒化珪素膜でなる第2パッシベーション膜561を300nmの厚さに形成する。実際には保護電極560がE層を水分等から保護する役割を果たすが、さらに第2パッシベーション膜561を形成しておくことで、E素子の信頼性をさらに高めることができる。

【0141】こうして図8（C）に示すような構造のアクティブマトリクス型EL表示装置が完成する。なお、実際には、図8（C）まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やセラミックス

製シーリングガンなどのハウジング材でパッケージング（封入）することが好ましい。その際、ハウジング材の内部を不活性雰囲気にしたリ、内部に吸湿性材料（例えば酸化バリウム）を配置することで、ＥＬ層の信頼性（寿命）が向上する。

【０１４２】また、パッケージング等の処理により気密性を高めたり、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：ＦＰＣ）を取り付けて製品として完成する。このような出荷できる状態にまでしたＥＬ表示装置を本明細書ではＥＬモジュールという。

【０１４３】ここで本実施例のアクティブマトリクス型ＥＬ表示装置の構成を図１の斜視図を用いて説明する。本実施例のアクティブマトリクス型ＥＬ表示装置は、ガラス基板６０１上に形成された、画素部６０２と、ゲート制御駆動回路６０３と、ソース駆動回路６０４とで構成される。画素部のスイッチング用ＴＦＴ６０５はｎチャネル型ＴＦＴであり、ゲート制御駆動回路６０３に接続されたゲート配線６０６、ソース駆動回路６０４に接続されたソース配線６０７の交点に配置されている。また、スイッチング用ＴＦＴ６０５のドレインは電流制御用ＴＦＴ６０８のゲートに接続されている。

【０１４４】さらに、電流制御用ＴＦＴ６０６のソース側は電源供給線６０９に接続される。本実施例のような構造では、電源供給線６０９には接地電位（アース電位）が与えられている。また、電流制御用ＴＦＴ６０８のドレインには抵抗体６１０を介してＥＬ素子６１１が接続されている。また、このＥＬ素子６１１のカソードには所定の電圧（本実施例では１０～１２Ｖ）が加えられる。

【０１４５】そして、外部入出力端子となるＦＰＣ６１２には駆動回路まで信号を伝送するための入出力配線（接続配線）６１３、６１４、及び電源供給線６０９に接続された入出力配線６１５が設けられている。

【０１４６】さらに、ハウジング材をも含めた本実施例のＥＬモジュールについて図１２（Ａ）、（Ｂ）を用いて説明する。なお、必要に応じて図１１で用いた符号を引用することにする。

【０１４７】基板１２００上には画素部１２０１、データ信号制御駆動回路１２０２、ゲート信号制御駆動回路１２０３が形成されている。それぞれの駆動回路からの各種配線は、入出力配線６１３～６１５を経てＦＰＣ６１２に至り外部機器へと接続される。

【０１４８】このとき少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてハウジング材１２０４を設ける。なお、ハウジング材１２０４はＥＬ素子の外寸より内寸が大きい凹部を有する形状又はシート形状であり、接着剤１２０５によって、基板１２００と共同して密閉空間を形成するようにして基板１２００に固

着される。このとき、ＥＬ素子は完全に前記密閉空間に封入された状態となり、外気から完全に遮断される。なお、ハウジング材１２０４は複数設けても構わない。

【０１４９】また、ハウジング材１２０４の材質はガラス、ポリマー等の絶縁性物質が好ましい。例えば、非晶質ガラス（硼硅酸塩ガラス、石英等）、結晶化ガラス、セラミックスガラス、有機系樹脂（アクリル系樹脂、スチレン系樹脂、ポリカーボネート系樹脂、エポキシ系樹脂等）、シリコン系樹脂が挙げられる。また、セラミックスを用いても良い。また、接着剤１２０５が絶縁性物質であるならステンレス合金等の金属材料を用いることも可能である。

【０１５０】また、接着剤１２０５の材質は、エポキシ系樹脂、アクリレート系樹脂等の接着剤を用いることが可能である。さらに、熱硬化性樹脂や光硬化性樹脂を接着剤として用いることもできる。但し、可能な限り酸素、水分を透過しない材質であることが必要である。

【０１５１】さらに、ハウジング材と基板１２００との間の空隙１２０６は不活性ガス（アルゴン、ヘリウム、窒素等）を充填しておくことが望ましい。また、ガスに限らず不活性液体（パーフルオロアルカンに代表されるの液状フッ素化炭素等）を用いることも可能である。不活性液体に関しては特開平８－７８５１９号で用いられているような材料で良い。

【０１５２】また、空隙１２０６に乾燥剤を設けておくことも有効である。乾燥剤としては特開平９－１４８０６６号公報に記載されているような材料を用いることができる。典型的には酸化バリウムを用いれば良い。

【０１５３】また、図１２（Ｂ）に示すように、画素部には個々に孤立したＥＬ素子を有する複数の画素が設けられ、それらは全て保護電極１２０７を共通電極として有している。本実施例では、ＥＬ層、陰極（ＭｇＡｇ電極）及び保護電極を大気解放しないで連続形成することが好ましいとしたが、Ｅ層と陰極と同じマスク材を用いて形成し、保護電極だけ別のマスク材で形成すれば図１２（Ｂ）の構造を実現することができる。

【０１５４】このとき、ＥＬ層と陰極は画素部のみ設ければよく、駆動回路の上には設ける必要はない。勿論、駆動回路上に設けられていても問題とはならないが、ＥＬ層にアルカリ金属が含まれていることを考慮すると設けない方が好ましい。

【０１５５】なお、保護電極１２０７は１２０８で示される領域において、画素電極と同一材料である接続配線１２０９を介して入出力配線１２１０に接続される。入出力配線１２１０は保護電極１２０７に所定の電圧（本実施例では接地電位、具体的には０Ｖ）を与えるための電源供給線であり、導電性ペースト材料１２１１を介してＦＰＣ６１１に接続される。

【０１５６】ここで領域１２０８におけるコンタクト構造を実現するための作製工程について図１３を用いて説



明する。

【0157】まず、本実施例の工程に従って図8(A)の状態を得る。このとき、基板端部(図12(B)において1208で示される領域)において第1層間絶縁膜544及びゲート絶縁膜514を除去し、その上に入出力配線1210を形成する。勿論、図8(A)のソース配線及びドレイン配線と同時に形成される。(図13(A))

【0158】次に、図8(B)において第2層間絶縁膜553及び第1パッシベーション膜552をエッチングする際に、1301で示される領域を除去し、且つ開孔部1802を形成する。そして、開孔部1302を覆うようにして接続配線1209を形成する。勿論、この接続配線1209は図8(B)において画素電極554と同時に形成される。(図13(B))

【0159】この状態で画素部ではE.L素子の形成工程(第3層間絶縁膜、E.L層及び陰極の形成工程)が行われる。この際、図13に示される領域ではマスクを用いて第3層間絶縁膜やE.L素子が形成されないようにする。そして、陰極557を形成した後、別のマスクを用いて保護電極558を形成する。これにより保護電極558と入出力配線1210とが接続配線1209を介して電気的に接続される。さらに、第2パッシベーション膜559を設けて図13(C)の状態を得る。

【0160】以上の工程により図12(B)の1208で示される領域のコンタクト構造が実現される。そして、入出力配線1210はハウジング材1204と基板1200との間を隙間(但し接着剤1205で充填されている。即ち、接着剤1205は入出力配線の段差を十分に平坦化する厚さが必要である。)を通してFPC611に接続される。なお、ここでは入出力配線1210について説明したが、他の出力配線612〜614も同様にしてハウジング材1204の下を通してFPC611に接続される。

【0161】【実施例2】本実施例では、画素の構成を図1(B)に示した構成と異なるものとした例を図14に示す。

【0162】本実施例では、図1(B)に示した二つの画素を、接地電位を与えるための電源供給線111について対称となるように配置する。即ち、図14に示すように、電源供給線111を隣接する二つの画素間で共通化することで必要とする配線の本数を低減する。なお、画素内に配置されるTFT構造等はそのまま良い。

【0163】このような構成とすれば、より高精細な画素部を作製することが可能となり、画像の品質が向上する。

【0164】また、電源供給線111を共通化することで、電源供給線111の線幅のマージンが広がり、画像の明るさを落とすことなく電源供給線111の線幅を広げることができる。それにより電源供給線111の電圧

降下の影響を低減することができ、画素の位置によって電源供給線111から供給される電圧が異なるようなことを防ぐことが可能である。

【0165】なお、本実施例の構成は実施例1の作製工程に従って容易に実現することが可能である。

【0166】【実施例3】本実施例では、図1と異なる構造の画素部を形成する場合について図15を用いて説明する。なお、第2層間絶縁膜48を形成する工程までは実施例1に従えば良い。また、第2層間絶縁膜48で覆われたスイッチング用TFT201、電流制御用TFT202は図1と同じ構造であるので、ここでの説明は省略する。

【0167】本実施例の場合、第2層間絶縁膜48及び第1パッシベーション膜47に対してコンタクトホールを形成したら、画素電極61を形成する。本実施例では画素電極61として、200nm厚のアルミニウム合金膜(1wt%のチタンを含有したアルミニウム膜)を設ける。なお、画素電極の材料としても金属材料であれば何なる材料でも良いが、反射率の高い材料であることが好ましい。

【0168】そして、その上に酸化珪素膜でなる第3層間絶縁膜62を300nmの厚さに形成し、陰極64として230nm厚のMgAg電極、E.L層64として下から電子輸送層20nm、発光層40nm、正孔輸送層30nmを形成する。但し、E.L層64は陰極63よりも若干大きいバターンとなるように形成しておく必要がある。こうすることで陰極63が後に形成する陽極65と短絡することを防ぐことができる。

【0169】このとき、陰極63とE.L層64はマルチチャンバー方式(クラスターツール方式ともいう)の真空蒸着機を用いて大気解放しないで連続的に形成するが、まず第1マスクで全面素に陰極63を形成し、次いで第2マスクで赤色発光のE.L層を形成する。そして、第2マスクを精密に制御しながらずらして順次緑色発光のE.L層、青色発光のE.L層を形成する。

【0170】なお、RGBに対応する画素がストライプ状に並んでいる時は上記のような方法で第2マスクをずらすだけで良いが、いわゆるデルタ配置と呼ばれる画素構造を実現するには、緑色発光のE.L層用に第3マスク、青色発光のE.L層用に第4マスクを別途用いても構わない。

【0171】こうしてE.L層65まで形成したら、その上に透明導電膜(本実施例ではITO膜に10wt%の酸化亜鉛を含有させた薄膜)でなる陽極65を10nmの厚さに形成する。こうしてE.L素子206が形成され、実施例1に示した材料でもって第2パッシベーション膜66を形成すれば図15に示すような構造の画素が完成する。なお、この場合、図1とは陰極及び陽極の位置が逆になるため、電流制御用TFT202のソース配線に接続される電源供給線には10〜12Vの電圧が与

えられ、陽極65に接続される電源には0V（接地電位）を与えられる。

【0172】本実施例の構造とした場合、各画素で生成された赤色、緑色又は青色の光はTFTが形成された基板とは反対側に放射される。そのため、画素内のほぼ全域、即ちTFTが形成された領域をも有効な発光領域として用いることができる。その結果、有効発光面積が大幅に向上し、画像の明るさやコントラスト比（明暗の比）が向上する。

【0173】なお、本実施例の構成は、実施例1、2のいずれの構成とも自由に組み合わせることが可能である。

【0174】〔実施例4〕本実施例では、実施例1によって作製されたアクティブマトリクス型EL表示装置の要素構造の一例を説明する。説明には図16を用いる。なお、図16において図1又は図2と対応する部分には適宜、図1又は図2の符号を引用する。

【0175】図16において、201はスイッチング用TFTであり、ソース領域13、ドレイン領域14、ゲート配線（ゲート配線を兼ねる）106を含む。また、202は電流制御用TFTであり、ソース領域26、ドレイン領域27、ゲート電極30を含む。また、電流制御用TFT202のドレインは抵抗体33（但し、図16においてマスク膜55の下に存在する半導体層を指す）、接続領域34及びドレイン配線32を介して画素電極49と電気的に接続される。なお、51、52で示される点線はEL層51と陰極52の形成位置を示し、画素電極49、EL層51及び陰極52でEL素子203を形成している。

【0176】このとき、スイッチング用TFT201のドレイン配線22はコンタクト部1601にて電流制御用TFT202のゲート電極30に電気的に接続される。また、そのゲート電極30は電流制御用TFT202のソース配線31と重なる部分において保持容量113を形成する。このソース配線31は接地電位を与える電源供給線111と電気的に接続されている。

【0177】なお、本実施例において図16に示した要素構造は本願発明を何ら限定するものではなく、好ましい一例に過ぎない。スイッチング用TFT、電流制御用TFT又は保持容量をどのような位置に形成するかは実施者が適宜設計すれば良い。本実施例は、実施例1～3のいずれの構成とも自由に組み合わせることで実施することが可能である。

【0178】〔実施例5〕本実施例では、アクティブマトリクス型EL表示装置の要素構造を実施例4とは異なる構造とした場合の一例を説明する。具体的には、図16に示した要素構造において、ゲート配線の材料を異なるものとした例を図17に示す。なお、図17は図16のゲート配線の構成のみが異なるだけでその他は同じであるので、特に詳細な説明は省略する。

【0179】図17において、71a、71bは実施例1のゲート電極と同様に窒化タングステン膜とタングステン膜の積層膜で形成されたゲート電極である。これらは図17に示すように各々孤立したパターンとしても良いし、各々電気的に接続されたパターンとしても良いが、形成された時点で電気的にフローティング状態にある。

【0180】ゲート電極71a、71bとしては窒化タングステン膜とタンタル膜の積層膜やモリブデンとタングステンの合金膜など他の導電膜を用いても良い。しかしながら、3 $\mu$ m以下（好ましくは2 $\mu$ m以下）の微細な線幅を形成しうる加工性に優れた膜であることが望ましい。また、ゲート絶縁膜を拡散して活性層中へ侵入するような元素を含む膜でないことが望ましい。

【0181】これに対して、ゲート配線72としてゲート電極71a、71bよりも低抵抗な導電膜、代表的にはアルミニウムを主成分とする合金膜や銅を主成分とする合金膜を用いる。ゲート配線72には特に微細な加工性は要求されない。また、活性層と重なることもないので絶縁膜中を拡散しやすいアルミニウムや銅を含んでいても問題とはならない。

【0182】本実施例の構造とする場合、実施例1の図7（D）の工程において第1層間絶縁膜544を形成する前に活性化工程を行えば良い。この場合、ゲート電極71a、71bが露出した状態で熱処理を加えることになるが、十分に不活性な雰囲気、好ましくは酸素濃度が1ppm以下である不活性雰囲気中で熱処理を行う分にはゲート電極71a、71bが酸化されることはない。即ち、酸化により抵抗値が増加することもない、除去の困難は絶縁膜（酸化膜）で覆われてしまうようなこともない。

【0183】そして、活性化工程が終了したら、アルミニウム又は銅を主成分とする導電膜を形成し、パターンニングによりゲート配線72を形成すれば良い。この時点でゲート電極71a、71bとゲート配線72との接触する部分では良好なオーミックコンタクトが確保され、ゲート電極71a、71bに所定のゲート電圧を加えることが可能となる。

【0184】本実施例の構造は、特に画像表示領域の面積が大きくなった場合において有効である。その理由を以下に説明する。

【0185】本願発明のEL表示装置は1フレームを複数のサブフレームに分割して駆動するため、画素部を駆動する駆動回路にかかる負担は大きい。これを低減するには画素部が有する負荷（配線抵抗、寄生容量またはTFTの書き込み容量など）を可能な限り低減することが好ましい。

【0186】TFTの書き込み容量は本願発明で用いるポリシリコン膜によって非常に動作性能の高いTFTが実現できるためさほど問題とはならない。また、データ配線やゲート配線に付加される寄生容量は大部分がそれ

ら配線の上に形成されたE.L素子の陰極（または保護電極）との間で形成されるが、この点については第2層間絶縁膜として比誘電率の低い有機樹脂膜を1.5～2.5  $\mu\text{m}$ という厚さで形成するので寄生容量は殆ど無視できる。

【0187】このことより本願発明を画素部の面積の大きいE.L表示装置に実施する上で最も障害となるのはデータ配線やゲート配線の配線抵抗となる。勿論、データ信号側駆動回路を複数に分割して並列処理をさせたり、画素部を挟んでデータ信号側駆動回路やゲート信号側駆動回路を設けて双方向から信号を送り、実質的に駆動回路の動作遅延数を落とすようなことも可能である。但し、その場合は駆動回路の専有面積が大きくなるなど別の問題が生じてしまう。

【0188】従って、本実施例のような構造によってゲート配線の配線抵抗を極力低減することは、本願発明を実施する上で非常に有効である。なお、本実施例において図17に示した画素構造は本願発明を何ら限定するものではなく、好ましい一例に過ぎない。また、本実施例は、実施例1～3のいずれの構成とも自由に組み合わせて実施することが可能である。

【0189】〔実施例6〕本願発明のように1フレームを複数のサブフレームに分割する時分割階調を行うには極めて高速に駆動するデータ信号側駆動回路が必要となる。即ち、非常に動作速度（応答速度）の速いTFTを用いることが好ましい。本実施例では、非常に高速で駆動することのできるTFTを作製する上で極めて適したシリコン膜を活性層として用いる例を示す。

【0190】実施例1に従って図5（B）の工程まで行くと、特異な結晶構造でなるシリコン膜（実施例1ではポリシリコン膜）が得られる。このシリコン膜は結晶粒界の連続性が高く、且つ結晶方位が揃っており、TFTの活性層とすることで非常に高い動作速度を示すTFTが得られる。本明細書中では本実施例で説明するシリコン膜を連続粒界結晶シリコン膜と呼ぶことにする。以下に、上記連続粒界結晶シリコン膜を試作して観察した結果について説明する。

【0191】連続粒界結晶シリコン膜は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶という）が集まって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認できた。

【0192】また、連続粒界結晶シリコン膜についてスポット径1.35  $\mu\text{m}$ の電子線回折像を詳細に観察した結果、僅かなゆらぎはあるものの{110}面に対応する回折斑点がきれいに現れており、結晶軸に多少のずれが含まれているものの主たる配向面として{110}面を有することが確認できた。

【0193】図19（A）は連続粒界結晶シリコン膜にスポット径1.35  $\mu\text{m}$ の電子線を照射して得た電子線

回折像である。一方、図19（B）は従来のポリシリコン膜に同条件で電子線を照射して得た電子線回折像である。なお、いずれも写真中央が電子線の照射された位置（電子線の照射点）である。

【0194】図19（A）の方は{110}面に対応する回折斑点が比較的にきれいに現れているのに対し、図19（B）の方はまるで不規則であり、配向面がばらばらであることが一目瞭然である。このように連続粒界結晶シリコン膜は電子線回折写真を見れば、ただちに従来の半導体膜と区別することができる。

【0195】なお、図19（A）の電子線回折像において{110}面に対応する回折斑点が現れていることは、{110}配向の単結晶シリコンウェハの電子線回折像と比較すれば明らかである。また、単結晶シリコンウェハの回折斑点は鋭い点で見えるのに対し、連続粒界結晶シリコン膜の回折斑点は電子線の照射点を中心とした同心円上に広がりを有する。

【0196】これは連続粒界結晶シリコン膜の特徴でもある。各結晶粒は個々に{110}面を配向面としているため、一つの結晶粒について見れば単結晶シリコンと同様の回折斑点が得られると予想される。しかし、実際には複数の結晶粒の集合体であるため、各結晶粒は{110}面を配向面としているものの、それぞれが結晶軸周りに僅かな回転を含み、それぞれの結晶粒に対応する回折点が同心円上に複数個現れる。それらが重なって広がりを生ずるのである。

【0197】但し、個々の結晶粒は後述するように極めて整合性の良い結晶粒界を形成するため、結晶軸周りの僅かな回転は結晶性を損なう要因とはならない。従って、連続粒界結晶シリコン膜の電子線回折像は、実質的には{110}配向の単結晶シリコンウェハの電子線回折像と差異はないと言える。

【0198】以上のことから、本実施例においてTFTの活性層として用いるシリコン膜は、{110}配向に対応する電子線回折像を示すシリコン膜であると言って差し支えないと考える。

【0199】次に、連続粒界結晶シリコン膜の結晶粒界について述べる。なお、説明の便宜上、結晶粒界と呼んでいるが、ある結晶粒とそこから派生した（核分かれした）別の結晶粒との界面とも考えられる。いずれにしても、本明細書中では前述のような界面をも含めて結晶粒界と呼ぶ。

【0200】本出願人は個々の棒状結晶が接して形成する結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）により観察し、結晶粒界において結晶格子に連続性があることを確認した。これは観察される格子線が結晶粒界において連続的に繋がっていることから容易に確認できた。

【0201】なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であ

ることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement: Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

【0202】上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist粒界などが含まれる。この平面状粒界は電気的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0203】特に結晶軸（結晶面に垂直な軸）が〈110〉軸である場合、〈111〉双晶粒界や〈111〉双晶粒界とは3の対応粒界とも呼ばれる。Σ値は対応粒界の整合性の程度を示す指標となるパラメータであり、Σ値が小さいほど整合性の良い粒界であることが知られている。

【0204】連続粒界結晶シリコン膜をTEM観察した結果、結晶粒界の殆どがΣ3の対応粒界であることが判明した。これは、二つの結晶粒の間に形成された結晶粒界において、両方の結晶粒の面方位が〈110〉である場合、〈111〉面に対応する格子傾がなす角をθとすると、θ=70.5°の時にΣ3の対応粒界となることから判断した。

【0205】なお、θ=38.9°の時にはΣ9の対応粒界となるが、この様な他の結晶粒界も存在した。

【0206】この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、連続粒界結晶シリコン膜は面方位が概略〈110〉で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成し得たと言える。

【0207】この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しない見なすことができる。

【0208】またさらに、連続粒界結晶シリコン膜を形成する際に700~1150℃の加熱処理を工程途中で行うことによって、結晶粒内に存在する欠陥（積層欠陥等）が殆ど消滅することがTEM観察によって確認されている。これはこの熱処理工程の後で欠陥数が大幅に低減されていることから明かである。

【0209】この欠陥数の差は電子スピン共鳴分析(Electron Spin Resonance: ESR)によってスピン密度の差となって現れる。現状では連続粒界結晶シリコン膜のスピン密度は少なくとも $5 \times 10^{17}$  spins/cm<sup>3</sup>以下（好ましくは $3 \times 10^{17}$  spins/cm<sup>3</sup>以下）であることが判明している。ただし、この測定値は現存する測定装置の検出

限界に近いので、実際のスピン密度はさらに低いと予想される。

【0210】なお、連続粒界結晶シリコン膜についてのさらに詳細な説明は、本出願人による特願平10-044659号出願明細書、特願平10-152316号出願明細書、特願平10-152308号出願明細書または特願平10-152305号出願明細書を参照すれば良い。

【0211】また、連続粒界結晶シリコン膜を活性層として試作したTFTは、MOSFETに匹敵する電気特性を示した。本出願人が試作したTFT（但し、活性層の膜厚は30nm、ゲート絶縁膜の膜厚は100nm）からは次に示す様なデータが得られている。

【0212】（1）スイッチング性能（オン/オフ動作切り換えの俊敏性）の指標となるサブスレッショルド係数が、Nチャネル型TFTおよびPチャネル型TFTともに60~100mV/decade（代表的には60~85mV/decade）と小さい。

（2）TFTの動作速度の指標となる駆動効果移動度（μ<sub>FE</sub>）が、Nチャネル型TFTで200~650cm<sup>2</sup>/Vs（代表的には300~500cm<sup>2</sup>/Vs）、Pチャネル型TFTで100~300cm<sup>2</sup>/Vs（代表的には150~200cm<sup>2</sup>/Vs）と大きい。

（3）TFTの駆動電圧の指標となるしきい値電圧（V<sub>th</sub>）が、Nチャネル型TFTで-0.5~1.5V、Pチャネル型TFTで-1.5~0.5Vと小さい。

【0213】以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。さらに、上記TFTを用いて試作したリングオシレータでは最大で約1GHzの発振周波数を得ることができた。なお、試作したリングオシレータの構成は次の様になっている。

段数：9段

TFTのゲート絶縁膜の膜厚：30nm及び50nm

TFTのゲート長（チャネル長）：0.6μm

【0214】また、実際にシフトレジスタを試作して動作周波数を確認した。その結果、ゲート絶縁膜の膜厚30nm、ゲート長0.6μm、電源電圧5V、段数50段のシフトレジスタにおいて動作周波数100MHzの出力パルスが得られた。

【0215】以上の様なリングオシレータおよびシフトレジスタの驚異的なデータは、連続粒界結晶シリコン膜を活性層とするTFTが、単結晶シリコンを用いたMOSFETに匹敵する、若しくは凌駕する動作性能をもつことを示唆する。

【0216】以上のように、連続粒界結晶シリコン膜を用いることで極めて動作速度の速いTFTが形成され、そのTFTで駆動回路を形成することで高速動作の可能な駆動回路を実現することができる。即ち、以上のようなTFTを、本発明を実施する上で用いることは極め

て有効である。

【0217】また、連続結晶膜シリコン膜を用いたTFTは駆動回路に限らず、画素部に配置するスイッチング用TFTや電流制御用TFTに用いることも有効である。動作速度が速くなることで保持容量への書き込み時間も短縮され、EL素子を発光させる応答速度も速くなるため、より明るく鮮明な画像を提供しうる。

【0218】〔実施例7〕実施例6では非常に高速で駆動しうるTFTを用いて駆動回路を形成する例を示したが、本実施例では、本願発明を実施する上で有効な画素部の駆動方法について説明する。説明には図20を用いる。

【0219】本実施例では、画素部80を二つの画素部80a、80bに分け、画素部80aをデータ信号側駆動回路81a及びゲート信号側駆動回路82aで駆動し、画素部80bをデータ信号側駆動回路81b及びゲート信号側駆動回路82bで駆動する。

【0220】この場合、画素部80a、80bを同時に同じ周波数で駆動すれば、データ信号側駆動回路81a、81b及びゲート信号側駆動回路82a、82bの動作周波数を半分に落とすことができる。そのため、動作マージンが広がり、信頼性が高く、消費電力の少ないEL表示装置を得ることができる。

【0221】さらに、動作周波数を変えなければアドレス期間を半分にすることができるため、その分だけサステイン期間を長めにとることができる。即ち、発光時間をより長く確保することができるため、画像の明るさを向上させることができる。

【0222】また、画素部80aと80bを併せて1画像を表示することもできるし、画素部80aと80bとで各々異なる画像を表示させても良い。例えば、どちらか片方が静止画で他方が動画という場合もありうる。即ち、画素部80に動画と静止画が混在するような場合があっても良い。

【0223】なお、本実施例では画素部を二つに分けているがさらに複数の画素部に分割することも可能である。また、本実施例の構成は、実施例1〜6のいずれの構成とも自由に組み合わせることで実施することが可能である。

【0224】〔実施例8〕本実施例では、本願発明を実施する上で有効な画素部の駆動方法について、実施例7とは異なる駆動方法とした場合を示す。説明には図21を用いる。

【0225】本実施例では、画素部83を四つの画素部83a〜83dに分け、画素部83a〜83dを各々データ信号側駆動回路84a〜84d及びゲート信号側駆動回路85a〜85dで駆動する。

【0226】この場合、画素部83a〜83dを同時に同じ周波数で駆動することでデータ信号側駆動回路84a〜84d及びゲート信号側駆動回路85a〜85dの動作

周波数を各々1/4に落とすことができる。そのため、実施例7の場合よりも動作マージンが広がり、信頼性が高く、消費電力の少ないEL表示装置を得ることができる。

【0227】さらに、動作周波数を変えなければアドレス期間を1/4にすることができるため、その分だけサステイン期間を長めにとることができる。即ち、発光時間をより長く確保することができるため、画像の明るさを向上させることができる。

【0228】また、画素部83a〜83d全てを併せて1画像を表示することができる。さらに画素部83a、83bで1画像を表示し、画素部83c、83dで1画像を表示し、結果的に異なる2枚の画像を同時に表示することも可能である。さらに画素部83a、83bでなる画像を静止画とし、画素部83c、83dでなる画像を動画とすることも可能である。即ち、画素部83に動画と静止画とが混在するような場合があっても良い。

【0229】なお、本実施例では画素部を四つに分けているがさらに複数の画素部に分割することも可能である。また、本実施例の構成は、実施例1〜6のいずれの構成とも自由に組み合わせることで実施することが可能である。

【0230】〔実施例9〕本実施例では、本願発明を実施する上で有効な画素部の駆動方法について、実施例8とは異なる駆動方法とした場合を示す。説明には図22を用いる。

【0231】本実施例では、画素部86を四つの画素部86a〜86dに分け、画素部86aをデータ信号側駆動回路87a及びゲート信号側駆動回路88aで駆動し、画素部86bをデータ信号側駆動回路87b及びゲート信号側駆動回路88aで駆動する。同様に、画素部86cをデータ信号側駆動回路87c及びゲート信号側駆動回路88bで駆動し、画素部86dをデータ信号側駆動回路87d及びゲート信号側駆動回路88bで駆動する。

【0232】この場合、画素部86a〜86dを同時に同じ周波数で駆動することでデータ信号側駆動回路87a〜87dの動作周波数を各々1/4に落とすことができる。ゲート信号側駆動回路88a、88bの動作周波数を各々1/2に落とすことができる。そのため、実施例7の場合よりも動作マージンが広がり、信頼性が高く、消費電力の少ないEL表示装置を得ることができる。

【0233】さらに、動作周波数を変えなければアドレス期間を1/4にすることができるため、その分だけサステイン期間を長めにとることができる。即ち、発光時間をより長く確保することができるため、画像の明るさを向上させることができる。

【0234】また、画素部86a〜86d全てを併せて1画像を表示することもできるし、画素部86a〜86dにおいて各々異なる画像を表示させても良い。勿論、86a〜86cで1画像を表示し、画素部86dのみ異なる画

像とすることも可能である。また、画素部86に動画と静止画とが混在する場合であっても良い。

【0235】なお、本実施例の構成は、実施例1～6のいずれの構成とも自由に組み合わせることで実施することが可能である。

【0236】【実施例10】実施例1の図2に示した構造において、活性層と基板11との間に設けられる下地膜12として、放熱効果の高い材料を用いることは有効である。特に電流制御用TFTは長時間に渡って比較的多くの電流を流すことになるため発熱しやすく、自己発熱による劣化が問題となりうる。そのような場合に、本実施例のように下地膜が放熱効果を有することでTFTの劣化を抑制することができる。

【0237】放熱効果をもつ透光性材料としては、B（ホウ素）、C（炭素）、N（窒素）から選ばれた少なくとも一つの元素と、Al（アルミニウム）、Si（珪素）、P（リン）から選ばれた少なくとも一つの元素とを含む薄膜が挙げられる。

【0238】例えば、窒化アルミニウム（ $Al_xNy$ ）に代表されるアルミニウムの窒化物、炭化珪素（ $Si_xCy$ ）に代表される珪素の炭化物、窒化珪素（ $Si_xNy$ ）に代表される珪素の窒化物、窒化ホウ素（ $B_xNy$ ）に代表されるホウ素の窒化物、リン化ホウ素（ $B_xPy$ ）に代表されるホウ素のリン化物を用いることが可能である。また、酸化アルミニウム（ $Al_xOy$ ）に代表されるアルミニウムの酸化物は透光性に優れ、熱伝導率が $20\text{ Wm}^{-1}\text{ K}^{-1}$ であり、好ましい材料の一つと言える。なお、上記透光性材料において、 $x$ 、 $y$ は任意の整数である。

【0239】また、上記化合物に他の元素を組み合わせることもできる。例えば、酸化アルミニウムに窒素を添加して、 $AlN_xO_y$ で示される窒化酸化アルミニウムを用いることも可能である。この材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。なお、上記窒化酸化アルミニウムにおいて、 $x$ 、 $y$ は任意の整数である。

【0240】また、特開昭62-90260号公報に記載された材料を用いることができる。即ち、Si、Al、N、O、Mを含む薄膜（但し、Mは希土類元素の少なくとも一種、好ましくはCe（セリウム）、Yb（イットリウム）、Sm（サマリウム）、Er（エルビウム）、Y（イットリウム）、La（ランタン）、Gd（ガドリニウム）、Dy（ジスプロシウム）、Nd（ネオジム）から選ばれた少なくとも一つの元素）を用いることもできる。これらの材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。

【0241】また、少なくともダイヤモンド薄膜又はアモルファスカーボン膜（特にダイヤモンドに特性の近いもの、ダイヤモンドライクカーボン等と呼ばれる。）を含む炭素膜を用いることもできる。これらは非常に熱伝

導率が高く、放熱層として極めて有効である。但し、膜厚が厚くなると褐色を帯びて透過率が低下するため、なるべく薄い膜厚（好ましくは5～100nm）で用いることが好ましい。

【0242】また、上記放熱効果をもつ材料からなる薄膜を単体で用いることもできるが、これらの薄膜と、珪素を含む絶縁膜とを積層して用いることが良い。

【0243】なお、本実施例の構成は、実施例1～9のいずれの構成とも自由に組み合わせることで実施することが可能である。

【0244】【実施例11】実施例1ではEL層として有機EL材料を用いることが好ましいとしたが、本願発明は無機EL材料を用いても実施できる。但し、現在の無機EL材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有するTFTを用いなければならない。

【0245】または、将来的にさらに駆動電圧の低い無機EL材料が開発されれば、本願発明に適用することは可能である。

【0246】また、本実施例の構成は、実施例1～10のいずれの構成とも自由に組み合わせることが可能である。

【0247】【実施例12】本願発明を実施して形成されたアクティブマトリクス型EL表示装置（ELモジュール）は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れている。そのため本願発明は直視型のELディスプレイ（ELモジュールを組み込んだ表示ディスプレイを指す）に対して実施することが可能である。ELディスプレイとしてはパソコンモニタ、TV放送受信用モニタ、広告表示モニタ等が挙げられる。

【0248】また、本願発明は上述のELディスプレイも含めて、表示ディスプレイを部品として含むあらゆる電子装置に対して実施することが可能である。

【0249】そのような電子装置としては、ELディスプレイ、ビデオカメラ、デジタルカメラ、頭部取り付け型ディスプレイ（ヘッドマウントディスプレイ等）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（CD）、レーザーディスク（LD）又はデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。それら電子装置の例を図18に示す。

【0250】図18（A）はパーソナルコンピュータであり、本体2001、筐体2002、表示装置2003、キーボード2004等を含む。本願発明は表示装置2003に用いることができる。

【0251】図18（B）はビデオカメラであり、本体

2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本願発明を表示装置2102に用いることができる。

【0252】図18(C)は頭部取り付け型のELディスプレイの一部(右片側)であり、本体2301、信号ケーブル2302、頭部固定バンド2303、表示モニタ2304、光学系2305、表示装置2306等を含む。本発明は表示装置2306に用いることができる。

【0253】図18(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2401、記録媒体(CD、LDまたはDVD等)2402、操作スイッチ2403、表示装置2404、表示装置2405等を含む。表示装置(a)は主として画像情報を表示し、表示装置(b)は主として文字情報を表示するが、本発明はこれら表示装置(a)、

(b)に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD再生装置、ゲーム機器などに本発明を用いることができる。

【0254】図18(E)は携帯型(モバイル)コンピュータであり、本体2501、カメラ部2502、受像部2503、操作スイッチ2504、表示装置2505等を含む。本発明は表示装置2505に用いることができる。

【0255】また、将来的にEL材料の発光輝度が高くなれば、フロント窓若しくはリア型のプロジェクターに用いることも可能となる。

【0256】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1〜11のどのような組み合わせからなる構成を用いても実現することができる。

【0257】【実施例13】本実施例では、実際のEL表示装置(但しモノクロ表示)の仕様に沿って電流制御用TFTとEL素子との間に設ける抵抗体の抵抗値を決めた例を示す。

【0258】まずEL層として用いるEL材料を決定する。本実施例では、ITOとなる陽極上に、正孔輸送層として50nm厚のTPD、EL層として50nm厚のAlqを形成し、その上にMgAgである陰極を設けた構造のEL素子を作製した。但し、ストライプ状のITOパターン(2mm幅)上にEL層を全面蒸着し、ITOパターンと直交するようにストライプ状のMgAg電極(2mm幅)を形成した。

【0259】このとき作製したEL素子の駆動電圧(Voltage)と電流密度(Current Density)の関係を図23(A)に示す。また、電流密度と発光の輝度(Luminance)の関係を図23(B)に示す。なお、本実施例のEL素子は524nm付近の波長に発光ピークをもち、色座標は $x=0.30$ 、 $y=0.57$ であった。

【0260】図23(B)によれば $5000\text{cd}/\text{m}^2$ の輝度を出すためには約 $100\text{mA}/\text{cm}^2$ の電流密度が必要となる。そこで一辺約 $156\mu\text{m}$ の正方形の画素をマトリクス状に備えた対角5インチの画素部を有するEL表示装置を考えると、一画素あたりに必要な電流は約 $24\mu\text{A}$ となる。

【0261】図23(A)に示すように、本実施例で用いるEL材料は10V加えた時に $100\text{mA}/\text{cm}^2$ の電流密度で電流が流れるので、10Vを加えた時に約 $24\mu\text{A}$ の電流を安定に流すためには約 $420\text{k}\Omega$ の抵抗が必要となる。

【0262】従って、図1(B)に示す抵抗値109として $420\text{k}\Omega$ の抵抗体を設ければEL素子110には常に約 $24\mu\text{A}$ という定電流を安定して供給することができ、その結果、発光輝度を約 $5000\text{cd}/\text{m}^2$ として明るい画像を表示することが可能である。

【0263】勿論、EL層の寿命を延ばすには、抵抗体の抵抗値をさらに高めてEL素子に流れる電流を抑えれば良い。その代わり、発光輝度はやや落ちることになる。例えば $1000\text{cd}/\text{m}^2$ 程度の輝度で十分であれば必要な電流密度は $30\text{mA}/\text{cm}^2$ 程度、EL素子の駆動電圧は約6Vであるので、一画素あたり7.3 $\mu\text{A}$ の電流が流れれば良い。従って、約 $820\text{k}\Omega$ の抵抗体が必要となる。

【0264】このように、EL表示装置の各パラメータを用いれば本願発明に必要な抵抗体の抵抗値を容易に導くことができる。

【0265】

【発明の効果】本願発明を実施することで、TFTの特性バラツキに影響されないう鮮明な多階調カラー表示が可能なアクティブマトリクス型EL表示装置を得ることができる。具体的には、画素部に設ける電流制御用TFTとEL素子との間に抵抗体を設け、その抵抗体の抵抗値によって電流値を決定する。その上でデジタル信号により時分割階調表示を行い、電流制御用TFTの特性バラツキによる階調不良のない、色再現性の良い高精細な画像を得る。

【0266】また、基板上に形成されるTFT自体も各回路又は素子が必要とする性能に併せて最適な構造のTFTを配置することで、信頼性の高いアクティブマトリクス型EL表示装置を実現している。

【0267】そして、そのようなアクティブマトリクス型EL表示装置を表示ディスプレイとして具備することで、画像品質が良く、信頼性の高い高性能な電子装置を生産することが可能となる。

【図面の簡単な説明】

【図1】 EL表示装置の構成を示す図。

【図2】 EL表示装置の断面構造を示す図。

【図3】 従来のEL表示装置における画素部の構成を示す図。

【図4】 アナログ階調方式で利用するTFT特性を説明する図。

【図5】 EL表示装置の作製工程を示す図。

【図6】 EL表示装置の作製工程を示す図。

【図7】 EL表示装置の作製工程を示す図。

【図8】 EL表示装置の作製工程を示す図。

【図9】 EL表示装置の画素部を拡大した図。

【図10】 時分割階調方式の動作モードを説明する図。

【図11】 ELモジュールの外観を示す図。

【図12】 ELモジュールの外観を示す図。

【図13】 コンタクト構造の作製工程を示す図。

【図14】 EL表示装置の画素部の構成を示す図。

【図15】 EL表示装置の断面構造を示す図。

【図16】 EL表示装置の画素部の上面構造を示す図。

【図17】 EL表示装置の画素部の上面構造を示す図。

【図18】 電子装置の具体例を示す図。

【図19】 ポリシリコン膜の電子線屈折像を示す図面

代用写真。

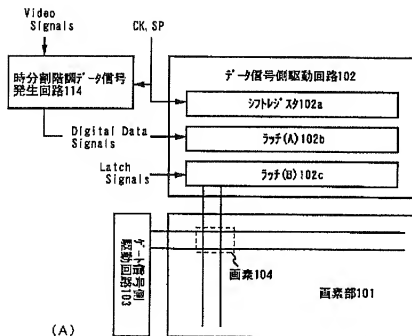
【図20】 EL表示装置の回路構成を示す図。

【図21】 EL表示装置の回路構成を示す図。

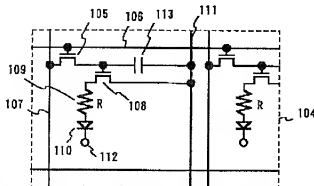
【図22】 EL表示装置の回路構成を示す図。

【図23】 EL素子の電気特性を示す図。

【図1】

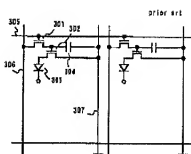


(A)

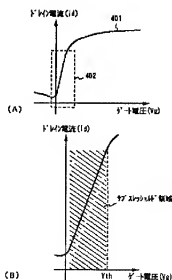


(B)

【図3】



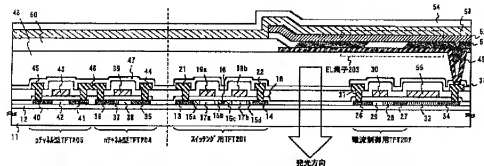
【図4】



(B)

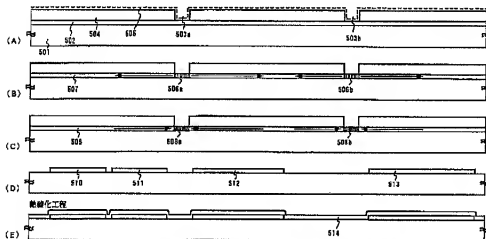


【図2】



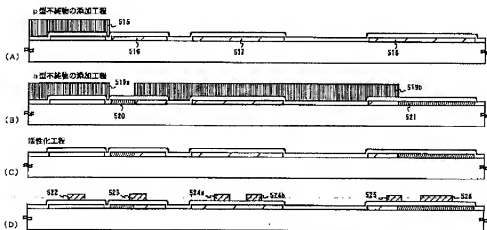
11:基板 12:下地膜 13:2-3層膜 14:1<sup>st</sup>ドレイン 15a~15d:100層膜 16:分層膜 17a, 17b:1stドレイン形成層  
 18:2-3層膜 19:1stドレイン形成層 20:2-3層膜 21:2-3層膜 22:1stドレイン形成層 23:2-3層膜 24:2-3層膜形成層  
 25:1stドレイン形成層 26:2-3層膜 27:2-3層膜 28:2-3層膜 29:2-3層膜 30:2-3層膜 31:2-3層膜  
 32:1stドレイン形成層 33:2-3層膜 34:2-3層膜 35:2-3層膜 36:2-3層膜 37:2-3層膜 38:2-3層膜  
 39:2-3層膜 40:2-3層膜 41:2-3層膜 42:2-3層膜 43:2-3層膜 44:2-3層膜 45:2-3層膜  
 46:2-3層膜 47:2-3層膜 48:2-3層膜 49:2-3層膜 50:2-3層膜 51:2-3層膜 52:2-3層膜  
 53:2-3層膜 54:2-3層膜 55:2-3層膜

【図5】



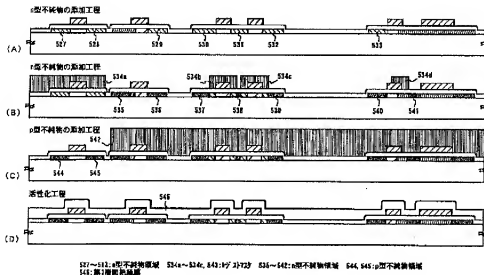
501:心電基盤 502:7/47/2/2の膜 503a, 503b:開口部 504:保護膜 505:1stドレイン  
 506a, 506b:1stドレイン形成層 507:2ndドレイン 508a, 508b:2ndドレイン形成層 509:2ndドレイン  
 510~513:2ndドレイン 514:2ndドレイン

【図6】

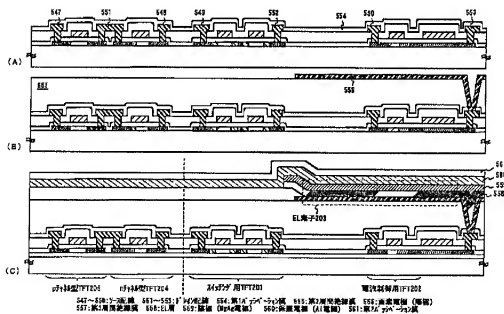


515, 516a, 516b:1stドレイン 517a, 517b:1stドレイン 518~519:2ndドレイン形成層 520, 521:2ndドレイン形成層  
 522~525:2ndドレイン 526:2ndドレイン

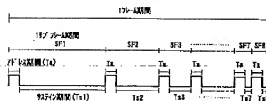
【図7】



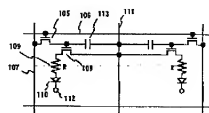
【図8】



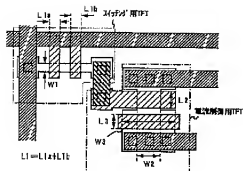
【図10】



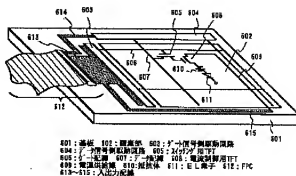
【図14】



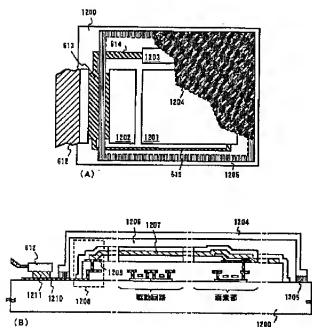
【図9】



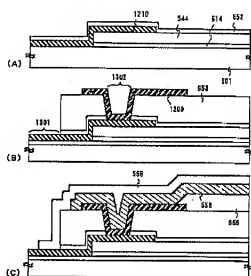
【図11】



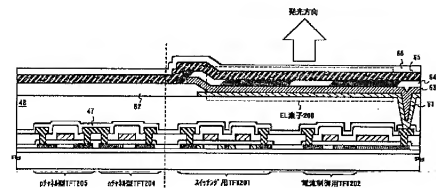
【図12】



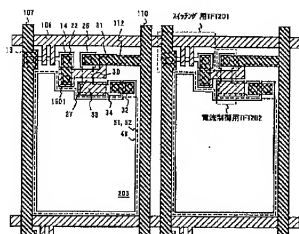
【図13】



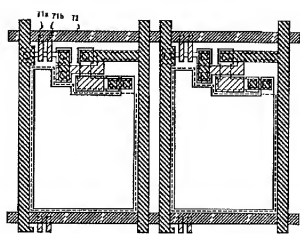
【図15】



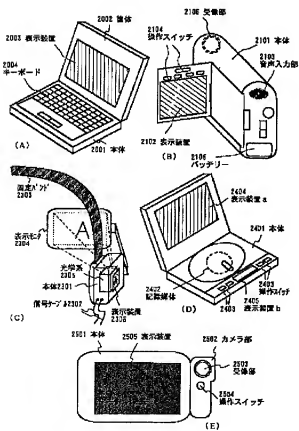
【図16】



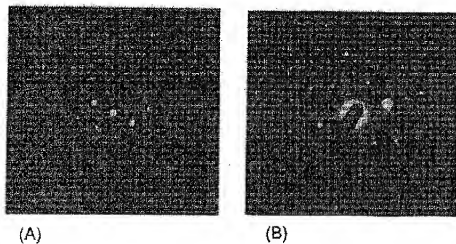
【図17】



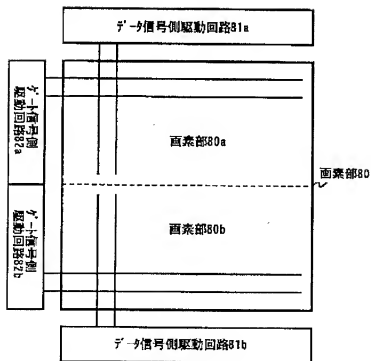
【図18】



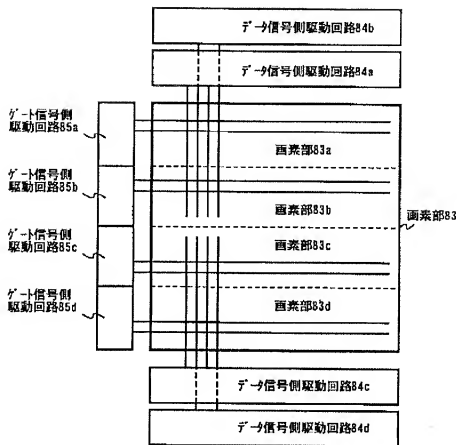
【図19】



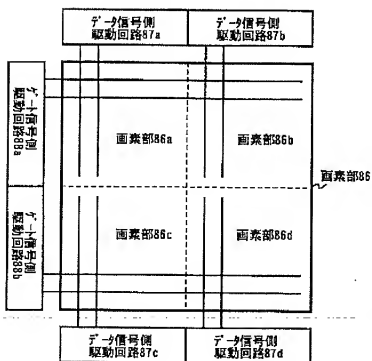
【図20】



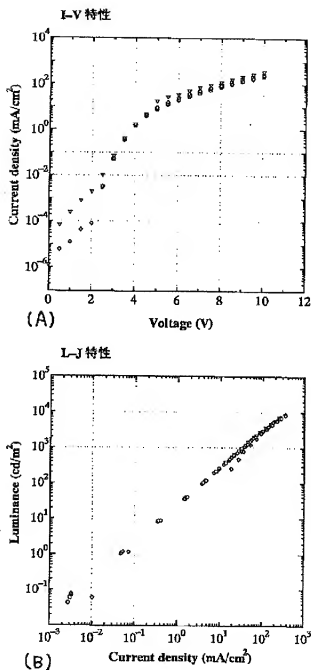
【図21】



【図22】



【図23】



フロントページの続き

(51)Int. Cl. 7

H 0 5 B 33/14

識別記号

F 1

H 0 5 B 33/14

特マコード(参考)

A

F ターム(参考) 3K007 AB00 ABC4 BA06 BB01 BB06  
CA01 CA02 CB01 DA00 DB03  
EB00 FAG1 FA02 FA03 GA00  
GA04  
5C080 AA06 BB05 CC03 DD03 DD07  
EE29 EE30 FF11 GG08 JJ02  
JJ03 JJ04 JJ05 JJ06  
5C094 AA05 AA15 AA24 AA42 AA43  
AA44 AA60 BA27 CA19 CA24  
EA05 EB02